

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 259/022

In re patent application of

Cheol-Ju YUN, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: SELF-ALIGNED BURIED CONTACT PAIR AND METHOD OF FORMING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

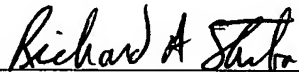
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-60912, filed September 1, 2003.

Respectfully submitted,

January 23, 2004
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0060912
Application Number

출원년월일 : 2003년 09월 01일
Date of Application SEP 01, 2003

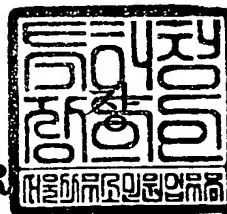
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.01
【발명의 명칭】	반도체 장치 및 이의 제조 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	윤철주
【성명의 영문표기】	YUN, Cheol Ju
【주민등록번호】	691026-1573211
【우편번호】	463-020
【주소】	경기도 성남시 분당구 수내동29번지 양지마을 한양아파트 603동903호
【국적】	KR
【발명자】	
【성명의 국문표기】	정태영
【성명의 영문표기】	CHUNG, Tae Young
【주민등록번호】	590324-1046924
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161 진산마을 삼성5차 래미안 512동80 1호
【국적】	KR
【발명자】	
【성명의 국문표기】	조창현
【성명의 영문표기】	CHO, Chang Hyun
【주민등록번호】	651223-1551121

【우편번호】 449-904
【주소】 경기도 용인시 기흥읍 보라리 민속마을 쌍용아파트 120-1303
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 67 면 67,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 65 항 2,189,000 원
【합계】 2,285,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

콘택 형성 시 요구되는 미스-얼라인먼트 마진을 확보하여 충분한 사이즈를 갖는 콘택을 형성할 수 있는 반도체 장치 및 이의 제조 방법이 개시되어 있다. 상기 장치는 기판, 기판 상에 형성된 절연막, 절연막 상에 형성되며 제1 식각 침식부를 갖는 제1 마스크층을 구비하는 제1 배선, 제1 배선의 일측에 형성되고 제1 식각 침식부에 대향하여 상부 모서리에 제2 식각 침식부를 갖는 제2 마스크층을 구비하는 제2 배선, 제1 배선의 타측에 형성되며 제3 도전층 및 제3 마스크층을 구비하는 제3 배선, 제1 내지 제3 배선의 측벽에 각기 형성된 제1 내지 제3 스페이서, 그리고 기판의 콘택 영역들에 접촉하는 제1 및 제2 도전체를 포함한다. 식각 마스크의 미스-얼라인먼트가 발생하더라도 충분한 사이즈를 갖는 콘택을 형성할 수 있다.

【대표도】

도 5a

【명세서】**【발명의 명칭】**

반도체 장치 및 이의 제조 방법{SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 종래 사선형 활성 영역을 가지는 반도체 장치에서 콘택 홀의 형성 방법을 설명하기 위한 평면도이다.

도 2a 내지 도 2b는 종래 기술에 따른 반도체 장치의 콘택 홀 형성 방법의 문제점을 설명하기 위한 단면도들이다.

도 3a는 종래 기술에 의하여 제조된 반도체 장치를 설명하기 위한 단면도이다.

도 3b는 도 1의 'A' 부분을 확대한 평면도이다.

도 4는 본 발명의 일 실시예에 따라 사선형 활성 영역을 포함하는 반도체 장치의 평면도이다.

도 5a는 본 발명의 일 실시예에 의한 반도체 장치를 설명하기 위한 단면도이다.

도 5b는 도 4에 도시한 반도체 장치 중 'B' 부분을 확대한 평면도이다.

도 6은 본 발명의 다른 실시예에 의한 반도체 장치를 설명하기 위한 단면도이다.

도 7a 내지 도 7c는 본 발명의 일 실시예에 의한 콘택 홀의 형성 방법을 설명하기 위한 단면도들이다.

도 8a 내지 도 8g는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 9a 내지 도 9g는 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 10a 내지 도 10h는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도면의 주요 부분에 대한 부호의 설명

226a, 227a : 제1 도전층 228a : 제1 마스크층
 231 : 제1 배선 226b, 227b : 제2 도전층
 228b : 제2 마스크층 232 : 제2 배선
 226c, 227c : 제3 도전층 228c : 제3 마스크층
 231 : 제3 배선 229a : 제1 식각 침식부
 229b : 제2 식각 침식부 229c : 제3 식각 침식부
 241 : 제1 스페이서 242 : 제2 스페이서
 243 : 제3 스페이서 322 : 제1 스토리지 노드 콘택 패드
 352 : 제2 스토리지 노드 콘택 패드 410 : 하부 구조물
 430 : 배선 구조물 440 : 스페이서
 450 : 식각 마스크 패턴 510, 610 : 제1 층간 절연막
 530, 630 : 비트 라인 550, 650 : 콘택 홀
 531 : 제1 비트 라인 532 : 제2 비트 라인
 534, 634 : 제2 층간 절연막 622 : 콘택 패드
 624 : 제3 층간 절연막 711 : 스토리지 노드 콘택 영역

712 : 비트 라인 콘택 영역 721 : 제1 콘택 패드
 722 : 제2 콘택 패드 725 : 제3 콘택 패드
 750 : 스토리지 노드 콘택 홀 752 : 제4 콘택 패드
 760 : 캐패시터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <33> 본 발명은 반도체 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 다층 구조의 반도체 장치에서 상부 및 하부 도전층을 연결하기 위한 콘택 형성 시의 미스-얼라인먼트(mis-alignment)로 인한 콘택 사이즈 감소를 해결할 수 있는 반도체 장치 및 이의 제조 방법에 관한 것이다.
- <34> 일반적으로 DRAM(Dynamic Random Access Memory)과 같은 메모리용 반도체 장치들은 데이터나 프로그램의 명령과 같은 정보를 기억하는 장치로서 그로부터 기억된 정보를 읽어내기도 하고 장치에 다른 정보를 기억시킬 수 있다. 대체로 하나의 DRAM은 1개의 트랜지스터와 1개의 캐패시터로 구성되며, 통상적으로 DRAM 소자 등에 포함되는 캐패시터는 스토리지 전극(storage electrode), 유전층(dielectric layer) 및 플레이트 전극(plate electrode) 등으로 구성된다.
- <35> 이러한 캐패시터의 정전용량(capacitance)이 감소하면, 메모리 셀의 데이터 독출 능력(readability)이 열화(劣化)되고 소프트 에러율(soft error rate)을 증가하며, 반도체 메모리 장치가 저전압에서 동작하기 어려워지는 문제점이 있다. 여기서, 캐패시터의 정전 용량은 유전체의 유전 상수 및 캐패시터의 표면적에 비례하게 된다.

- <36> 한편, DRAM 등의 메모리 장치의 저장 능력을 향상시키기 위하여 반도체 장치는 갈수록 고집적화되고 있으며, 이에 따라 캐패시터와 같은 소자는 날로 그 크기가 작아지고 있다. 즉, 전술한 바와 같이, 캐패시터의 정전 용량을 확보하여 반도체 장치의 성능을 확보하기 위해서는 캐패시터의 표면적을 증가시켜야 하지만, 고집적화 경향은 캐패시터의 표면적 증가를 어렵게 한다. 이러한 문제는 특히, 종래 비트 라인 하부에 캐패시터를 형성하는 방법으로는 더 이상 캐패시터의 표면적 증가를 통한 정전 용량은 확보는 불가능하기 때문에 해결하기 어렵다.
- <37> 상술한 문제점을 해결하기 위하여 캐패시터를 비트 라인 상부에 형성하는 이른바, COB(capacitor-over-bit line) 구조가 널리 채택되고 있다. 상기 COB 구조에서는 캐패시터의 스토리지 전극(하부 전극)이 비트 라인 구조물에 의하여 제한되지 않으므로 보다 넓은 스토리지 전극을 형성하는 것이 가능하게 된다.
- <38> 또한, 최근에는 상술한 COB 구조를 채용하면서, 반도체 기판 상의 활성 영역을 비트 라인에 대하여 비스듬하게 형성하여 누설 전류를 감소시키는 효과 등을 달성하는 방법이 알려져 있다.
- <39> 도 1은 종래 사선형 활성 영역을 가지는 반도체 장치에서 콘택 홀을 형성하는 방법을 설명하기 위한 평면도를 도시한 것이다.
- <40> 도 1을 참조하면, 기판에 마련된 활성 영역(11)에 대하여 비스듬하게 워드 라인(13) 및 비트 라인(30)이 형성된다. 또한, 스토리지 전극과 활성 영역(11)의 접촉을 위한 스토리지 노드 콘택 홀(50) 및 비트 라인(30)과 활성 영역(11)의 접촉을 위한 비트 라인 콘택(17)이 형성된다. 구체적으로, COB 구조에서 캐패시터의 스토리지 전극과 반도체 기판의 소스/드레인 영역을 접촉시키는 스토리지 노드 콘택 홀(50)을 비트 라인(30)이 위치하는 영역 이외의 장소에 배

치할 필요가 있는 바, 이에 부응하여 활성 영역(11)을 비트 라인(30) 및 워드 라인(13)에 대하여 사선 방향을 따라 배치한다.

<41> 한편, 전술한 바와 같이, 반도체 장치의 집적도가 증가함에 따라, 소자와 소자 또는 층과 층을 고전도성 박막으로 연결시키는 콘택 홀의 크기는 감소하는 반면, 층간 절연막의 두께는 증가하고 있다. 따라서, 콘택 홀의 어스펙트비(즉, 홀의 직경에 대한 홀의 길이의 비)가 증가하여 사진 식각 공정(photolithography process)에서 콘택 홀의 정렬 마진이 감소함으로써, 기존의 콘택 홀 형성 방법으로는 미세 크기의 콘택 홀을 형성하는 것이 어렵게 되고 있다.

<42> 이에 따라, DRAM 장치에서는 콘택 홀의 어스펙트비를 감소시키기 위해 랜딩 패드(landing pad)를 사용하고 있으며, $0.1\mu\text{m}$ 이하의 패턴 크기에서는 자기 정렬 콘택(Self-Aligned Contact; SAC) 구조를 이용하여 정렬 마진의 감소에 따른 단락 발생의 문제를 해결하고 있다.

<43> 도 2a 및 도 2b는 종래 기술에 따른 반도체 장치의 콘택 홀 형성 방법의 문제점을 설명하기 위한 단면도들이다. 도 2a 및 도 2b는 도 1의 a-a' 선을 따라 자른 단면도들이다.

<44> 도 2a를 참조하면, 셀로우 트렌치 소자분리(shallow trench isolation; STI)와 같은 통상의 소자분리 공정으로 반도체 기판(10) 상에 소자분리 영역을 형성하여 액티브 영역을 정의한다. 그런 다음, 상기 기판(10) 상에 워드 라인으로 제공되는 게이트 전극 및 소오스/드레인 영역을 포함하는 MOS 트랜지스터들을 형성한다. 상기 MOS 트랜지스터들이 형성된 기판(10)의 전면이 산화물로 이루어진 제1 층간 절연막(20)을 형성한 후, 화학 기계적 연마(chemical mechanical polishing : CMP) 공정 또는 에치백 공정에 의해 상기 제1 층간 절연막(20)을 평탄화한다. 그런 다음, 질화물에 대해 높은 식각 선택비를 갖는 식각 조건으로 상기 제1 층간 절

연막(20)을 식각하여 상기 게이트 전극에 대해 자기 정렬되면서 상기 소오스/드레인 영역을 노출시키는 콘택 홀들을 형성한다.

- <45> 상기 제1 층간 절연막(20) 및 콘택 홀들 상에 도핑된 폴리실리콘층을 증착한 후, 화학 기계적 연마(CMP) 공정 또는 에치백 공정을 통해 상기 폴리실리콘층을 노드 분리하여 상기 소오스/드레인 영역과 접촉하는 SAC 패드들(22a, 22b)을 형성한다.
- <46> 이어서, 상기 제1 층간 절연막(20) 및 상기 SAC 패드들(22a, 22b) 상에 산화물로 이루어진 제2 층간 절연막(24)을 약 1000~3000Å의 두께로 증착한 후, 화학 기계적 연마(CMP) 공정 또는 에치백 공정으로 상기 제2 층간 절연막(24)을 평탄화한다. 통상의 사진식각 공정에 의해 상기 제2 층간 절연막(24)을 부분적으로 식각하여 드레인 영역 상의 SAC 패드(22b)를 노출시키는 비트 라인 콘택 홀(25)을 형성한 후, 상기 비트 라인 콘택 홀(25) 및 제2 층간 절연막(24) 상에 티타늄/티타늄 질화물(Ti/TiN)로 이루어진 장벽 금속층(26) 및 약 400~800Å 정도의 두께를 갖는 텅스텐 또는 텅스텐 실리사이드층을 포함하는 비트 라인용 도전층(27)을 형성하고, 그 위에 질화물을 약 1000~3000Å 정도의 두께로 증착하여 비트 라인 마스크층(28)을 형성한다. 그런 다음, 사진 식각 공정으로 상기 비트 라인 마스크층(28) 및 도전층(26, 27)을 식각하여 제1 도전층(26, 27) 및 비트 라인 마스크층(28)으로 이루어진 비트 라인(30)들을 형성한다. 여기서, 상기 비트 라인 마스크층(28)은 스토리지 노드 콘택 홀을 형성하기 위한 후속의 식각 공정 시 비트 라인(30)과 스토리지 노드 콘택 홀 사이의 절연 간격(이를 솔더라 한다)을 넓히기 위해 통상 2000Å 이상의 두께로 두껍게 형성한다.
- <47> 계속해서, 상기 비트 라인(30) 및 제2 층간 절연막(24) 상에 후속 공정에서 형성될 제3 층간 절연막에 대해 식각 선택비를 갖는 물질, 예컨대 질화물을 증착하고 이를 이방성 식각하여 상기 비트 라인(30)의 측면에 비트 라인 스페이서(32)들을 형성한다. 이와 같이, 비트

라인(30)의 패터닝 직후 질화물로 이루어진 비트 라인 스페이서(32)를 형성하기 위한 식각 공정을 진행하기 때문에, 동일한 질화물로 이루어진 비트 라인 마스크층(28)의 표면이 일부분 손실(loss)된다.

<48> 이어서, 상기 결과물의 전면에 BPSG(borophosphosilicate glass), USG(undoped silicate glass), HDP(high density plasma) 산화물 또는 CVD(chemical vapor deposition) 산화물로 이루어진 제3 층간 절연막(34)을 증착한 후, 화학 기계적 연마 공정(CMP) 또는 에치백 공정으로 상기 제3 층간 절연막(34)을 평탄화한다.

<49> 도 2b를 참조하면, 사진 공정으로 상기 제3 층간 절연막(34) 상에 스토리지 노드 콘택 홀 영역을 한정하는 포토레지스트 패턴(40)을 형성한 후, 질화물로 이루어진 비트 라인 스페이서(32)에 대해 높은 식각 선택비를 갖는 식각 가스로 상기 제3 층간 절연막(34) 및 제2 층간 절연막(24)을 건식 식각하여 상기 소오스 영역 상의 SAC 패드(22a)를 노출하는 스토리지 노드 콘택 홀(50)을 형성한다.

<50> 이어서, 상기 포토레지스트 패턴을 제거한 후, 상기 스토리지 노드 콘택 홀(50)의 내부에 도핑된 폴리실리콘으로 이루어진 제2 도전층을 증착하고, CMP 또는 에치백 공정으로 상기 제2 도전층을 노드 분리하여 스토리지 노드 콘택 패드(38)를 형성한다.

<51> 상술한 종래 방법에 의하면, SAC 공정의 마진을 확보하기 위하여 질화물로 이루어진 비트 라인 마스크층(28)의 두께를 증가시켜야 하므로 비트 라인(30)의 높이가 높아지게 된다. 반면에, 패턴의 디자인 룰이 $0.1\mu\text{m}$ 이하로 감소함에 따라 비트 라인(30)과 비트 라인(30) 사이의 간격이 줄어들게 되므로, 비트 라인(30)의 어스펙트비가 증가하게 된다. 또한, 비트 라인(30)의 측면에 비트 라인 스페이서(32)가 형성되어 있는 상태에서 제3 층간 절연막(34)을 증착하면

, 비트 라인(30)들 사이의 간격이 더욱 줄어들게 되어 비트 라인(30)의 어스펙트비가 더욱 증가하게 된다.

- <52> 또한, SAC 공정의 마진을 확보하기 위하여 비트 라인 마스크층(28)의 두께를 증가시키면, 비트 라인 패터닝을 위한 포토레지스트막의 두께도 증가되어야 한다. 이 경우, 포토레지스트막의 쓰러짐에 의한 비트 라인(30)의 리프팅(lifting)이 발생하게 된다. 즉, 사진식각 마스크가 S로 표시된 폭만큼 미스-얼라인먼트가 발생하면, 상기 SAC 패드(22a)와의 접촉면적은 W1에서 W2로 줄어들게 되어 스토리지 노드 콘택의 저항이 증가하는 문제점이 있다.
- <53> 한편, 상술한 종래 방법에 의하는 경우 형성되는 콘택 홀은 단면이 좌우 대칭의 형상을 가진다.
- <54> 도 3a는 종래 기술에 의하여 제조된 반도체 장치를 설명하기 위한 단면도이고, 도 3b는 도 1의 'A' 부분을 확대한 평면도이다.
- <55> 도 3a를 참조하면, 종래의 셀프-얼라인 콘택 형성 방법에 의하는 경우 콘택 홀을 둘러싸는 비트 라인의 형상(60, 70)은 서로 대칭인 단면 형상을 가지고 있으므로, 콘택 홀 및 콘택 홀을 채우는 도전체의 형상 역시 대칭의 단면형상을 가진다. 즉, 도 3b를 참조하면, 식각 마스크 패턴(40),스페이서(32)를 마스크로 하는 경우 각각의 콘택 홀은 원형의 형상을 가지고, 인접하는 한 쌍의 콘택 홀은 미스-얼라인먼트가 발생하지 않는 경우 서로 대칭인 관계에 있다.
- <56> 이러한 문제점을 해결하기 위하여, 즉 대한민국 등록특허 제366621호에는 더미 절연층 패턴을 이용하여 전기적인 단락이 발생하는 것을 방지하고, 콘택 홀이 오픈되지 않는 것을 방지하며, 반도체 소자의 고집적화에 대한 사진 식각 공정에서의 오정렬 마진을 확보할 수 있는 도전성 콘택의 제조 방법이 개시되어 있다.

<57> 그러나, 상술한 방법에 의하는 경우 그 공정이 복잡하여 반도체 장치의 단위시간당 처리량(throughput)이 불량하고, 최근 주목받고 있는 사선형의 활성 영역을 가지는 반도체 기판에 대한 적용을 위한 구체적인 기술적 구성에 대해서는 언급하고 있지 않다. 따라서 디자인 룰(design rule)이 $0.1\mu\text{m}$ 이하이고 비트 라인에 대하여 사선형 활성 영역을 가지는 반도체 장치에서, 스토리지 노드 콘택 형성 시에 미스-얼라인먼트 마진(mis-alignment margin)을 충분히 확보하여 차세대 디바이스들의 제조 공정에서 대하여 경쟁력을 가질 수 있는 반도체 장치의 제조 방법의 개발이 요청된다.

【발명이 이루고자 하는 기술적 과제】

<58> 본 발명의 제1 목적은 높은 어스펙트비를 갖는 콘택을 포함하는 다층 구조에서 충분한 사이즈를 확보하여 현저하게 감소된 저항을 갖는 콘택을 포함하는 반도체 장치를 제공하는 것이다.

<59> 본 발명의 제2 목적은 사선형 활성 영역을 가지는 반도체 장치에서 콘택 형성 시에 요구되는 미스-얼라인먼트 마진을 충분히 확보하여 요구되는 사이즈를 갖는 콘택 홀 형성 방법을 제공하는 것이다.

<60> 본 발명의 제3 목적은 전술한 콘택 홀 형성 방법을 이용하여 콘택의 어스펙트비가 높은 다층 구조에서 크게 감소된 저항을 갖는 콘택을 포함하는 반도체 장치의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<61> 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 반도체 장치는 콘택 영역들이 형성된 활성 영역을 갖는 기판, 상기 기판 상에 형성된 절연막, 상기 절연막

상에 위치하며, 제1 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 마스크층을 구비하는 제1 배선, 상기 절연막 상에 상기 제1 배선의 일측에 위치하며, 제2 도전층 및 상기 제1 배선에 대향하는 상부 모서리에 제2 식각 침식부를 갖는 제2 마스크층을 구비하는 제2 배선, 상기 절연막 상에 상기 제1 배선의 타측에 위치하며, 제3 도전층 및 제3 마스크층을 구비하는 제3 배선, 상기 제1 배선, 제2 배선 및 제3 배선의 측벽에 각기 형성된 제1 스페이서, 제2 스페이서 및 제3 스페이서, 그리고 상기 제1 스페이서와 상기 제2 스페이서 사이 및 상기 제1 스페이서와 상기 제3 스페이서 사이의 상기 절연막을 각기 관통하여 상기 콘택 영역들에 접촉되는 제1 도전체 및 제2 도전체를 포함한다. 여기서, 상기 활성 영역들은 상기 제1 내지 제3 배선들에 대하여 사선 방향을 따라 형성된다. 또한, 상기 제3 마스크층은 상기 제1 배선에 대향하는 상부 모서리에 제3 식각 침식부를 가지며, 이 때, 상기 제2 식각 침식부와 상기 제3 식각 침식부는 상기 제1 배선을 중심으로 서로 대칭적인 형상을 갖는다. 예를 들면, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 및 상기 제3 식각 침식부는 각기 오목한 형상을 가진다.

<62> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 다른 실시예에 따른 반도체 장치는, 제1 콘택 영역 및 제2 콘택 영역을 포함하고 서로 인접하는 제1 및 제2 활성 영역들을 갖는 기판, 상기 기판 상에 형성된 절연막, 상기 절연막 상에 위치하며, 제1 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 마스크층을 구비하는 제1 배선, 상기 절연막 상에 상기 제1 배선의 일측에 위치하며, 제2 도전층 및 상기 제1 배선에 대향하는 상부 모서리에 제2 식각 침식부를 갖는 제2 마스크층을 구비하는 제2 배선, 상기 절연막 상에 상기 제1 배선의 타측에 위치하고, 제3 도전층 및 제3 마스크층을 구비하는 제3 배선, 상기 제1 배선의 양

측벽에 형성된 제1 및 제2 스페이서, 상기 제1 배선의 일 측벽에 형성된 상기 제1 스페이서에 대향하여 상기 제2 배선의 측벽에 형성되고, 상기 제1 스페이서와 함께 자기 정렬되어 상기 제1 활성 영역의 제1 콘택 영역을 노출시키는 제3 스페이서, 상기 제1 배선의 타 측벽에 형성된 상기 제2 스페이서에 대향하여 상기 제3 배선의 측벽에 형성되고, 상기 제2 스페이서와 함께 자기 정렬되어 상기 제2 활성 영역의 제2 콘택 영역을 노출시키는 제4 스페이서, 상기 제1 스페이서와 상기 제3 스페이서 사이의 상기 제1 활성 영역의 제1 콘택 영역에 접촉하는 제1 도전체, 그리고 상기 제2 스페이서와 상기 제4 스페이서 사이의 상기 제2 활성 영역의 제2 콘택 영역에 접촉하는 제2 도전체를 포함한다. 이 경우, 상기 제1 및 제2 도전체의 상면의 평면 형상은 서로 대칭적인 한 쌍의 반원형 또는 반 타원형에 가까운 형상을 가진다. 또한, 상기 제1 내지 제3 배선들은 서로 평행하게 형성되고, 상기 제1 및 제2 활성 영역들은 각기 길이 방향과 폭 방향을 갖도록 형성되며, 상기 제1 내지 제3 배선들과 상기 제1 및 제2 활성 영역들의 길이 방향은 예각을 형성하게 된다.

<63> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 또 다른 실시예에 따른 반도체 장치는, 콘택 영역을 각기 포함하는 활성 영역들을 갖는 기판, 상기 기판 상에 형성되는 절연막, 상기 절연막 상에 상기 활성 영역들에 대하여 사선 방향을 따라 형성되는 제1 배선, 상기 절연막 상에 상기 제1 배선의 양측에 상기 활성 영역에 대하여 사선 방향을 따라 형성되는 한 쌍의 제2 배선들, 상기 제1 배선 및 제2 배선들의 측벽에 각기 형성된 제1 스페이서 및 제2 스페이서, 그리고 상기 제1 스페이서와 상기 제2 스페이서 사이의 상기 절연막을 관통하여, 인접하는 상기 활성 영역들의 콘택 영역에 각기 접촉하는 한 쌍의 도전체들을 포함한다.

<64> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 또 다른 실시예에 따른 반도체 장치는, 콘택 영역들을 포함하는 형성된 활성 영역들을 갖는 기판, 상기 콘택 영역들에 접촉하는 제1 스토리지 노드 콘택 패드들, 상기 제1 스토리지 노드 콘택 패드들 및 상기 기판 상에 형성된 층간 절연막, 상기 층간 절연막 상에 형성되며, 제1 비트 라인 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 비트 라인 마스크층을 구비하는 제1 비트 라인, 상기 층간 절연막 상에 상기 제1 비트 라인의 일측에 위치하고, 제2 비트 라인 도전층 및 상기 제1 식각 침식부에 대향하여 상부 모서리에 제2 식각 침식부를 갖는 제2 비트 라인 마스크층을 구비하는 제2 비트 라인, 상기 층간 절연막 상에 상기 제1 비트 라인의 타측에 위치하고, 제3 비트 라인 도전층 및 제3 비트 라인 마스크층을 포함하는 제3 비트 라인, 상기 제1 비트 라인, 제2 비트 라인 및 제3 비트 라인의 측벽에 각기 형성된 제1 스페이서, 제2 스페이서 및 제3 스페이서, 그리고 상기 제1 스페이서와 제2 스페이서 사이 및 상기 제1 스페이서와 제3 스페이서 사이의 상기 층간 절연막을 각기 관통하여 상기 제1 스토리지 노드 콘택 패드들에 각기 접촉하는 제2 스토리지 노드 콘택 패드들을 포함한다.

<65> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 또 다른 실시예에 따른 반도체 장치는, 제1 콘택 영역 및 제2 콘택 영역을 포함하고 서로 인접하는 제1 및 제2 활성 영역들을 갖는 기판, 상기 제1 및 제2 콘택 영역에 각기 접촉하는 제1 스토리지 노드 콘택 패드들, 상기 제1 스토리지 노드 콘택 패드들 및 상기 기판 상에 형성된 층간 절연막, 상기 층간 절연막 상에 위치하며, 제1 비트 라인 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 비트 라인 마스크층을 구비하는 제1 비트 라인, 상기 층간 절연막 상에 상기 제1 배선의 일측에 위치하며, 제2 비트 라인 도전층 및 상기 제1 식각 침식부에 대향하는 상부 모서리에 제2 식각 침식부를 갖는 제2 비트 라인 마스크층을 구비하는 제2 비트 라인, 상기 층간 절연막

상에 상기 제1 비트 라인의 타측에 위치하고, 제3 비트 라인 도전층 및 제3 비트 라인 마스크 층을 구비하는 제3 비트 라인, 상기 제1 비트 라인의 양 측벽에 형성된 제1 및 제2 스페이서, 상기 제1 비트 라인의 일 측벽에 형성된 상기 제1 스페이서에 대향하여 상기 제2 비트 라인의 측벽에 형성되고, 상기 제1 스페이서와 함께 자기 정렬되어 상기 제1 콘택 영역에 접촉되는 상기 제1 스토리지 노드 콘택 패드를 노출시키는 제3 스페이서, 상기 제1 비트 라인의 타 측벽에 형성된 상기 제2 스페이서에 대향하여 상기 제3 비트 라인의 측벽에 형성되고, 상기 제2 스페이서와 함께 자기 정렬되어 상기 제2 콘택 영역에 접촉되는 제1 스토리지 노드 콘택 패드를 노출시키는 제4 스페이서, 그리고 상기 제1 스페이서와 상기 제3 스페이서 사이 및 상기 제2 스페이서와 상기 제4 스페이서 사이의 제1 스토리지 노드 콘택 패드들에 각기 접촉하는 제2 스토리지 노드 콘택 패드들을 포함한다.

<66> 전술한 본 발명의 제2 목적을 달성하기 위하여 본 발명의 일 실시예에 따르면, 콘택 영역을 포함하는 복 수개의 활성 영역들이 형성된 기판을 제공하는 단계, 상기 기판 상에 하부 구조물을 형성하는 단계, 상기 하부 구조물 상에 상기 활성 영역들에 대하여 사선 방향을 따라 배선 구조물들을 형성하는 단계, 그리고 상기 배선 구조물들을 자기 정렬 마스크로 이용하여 상기 하부 구조물을 식각하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 상기 콘택 영역들을 병합하여 노출시키는 단계를 통하여 콘택 홀을 형성한다.

<67> 상술한 본 발명의 제3 목적을 달성하기 위하여 본 발명의 일 실시예에 따르면, 기판에 형성된 활성 영역들에 콘택 영역들을 형성하는 단계, 상기 콘택 영역들이 형성된 기판 상에 층간 절연막을 형성하는 단계, 상기 콘택 영역들 사이의 상기 층간 절연막 상에 상기 활성 영역들에 대하여 사선 방향을 따라 배선들을 형성하는 단계, 상기 배선들의 측벽에 각기 스페이서를 형성하는 단계, 그리고 상기 스페이서들 사이의 상기 층간 절연막을 제거하여 인접하는 상

기 활성 영역들에 형성된 한 쌍의 상기 콘택 영역들을 병합하여 노출시키는 콘택 홀을 형성하는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

<68> 또한, 상술한 본 발명의 제3 목적을 달성하기 위하여 본 발명의 다른 실시예에 따르면, 기판에 형성된 활성 영역들에 각기 콘택 영역들을 형성하는 단계, 상기 콘택 영역들에 각기 접촉하는 제1 콘택 패드들을 형성하는 단계, 상기 제1 콘택 패드들 및 상기 기판 상에 제1 층간 절연막을 형성하는 단계, 상기 제1 콘택 패드들 사이의 제1 층간 절연막 상에 상기 활성 영역들에 대하여 사선 방향을 따라 위치하며, 각기 비트 라인 도전층 및 상기 비트 라인 도전층 상에 형성된 비트 라인 마스크층을 포함하는 비트 라인들을 형성하는 단계, 상기 비트 라인들의 측벽에 각기 스페이서를 형성하는 단계, 상기 비트 라인들 및 상기 스페이서가 형성된 상기 제1 층간 절연막 상에 제2 층간 절연막을 형성하는 단계, 그리고 상기 제2 층간 절연막 및 제1 층간 절연막을 제거하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 상기 제1 콘택 패드들을 병합하여 노출시키는 콘택 홀들을 형성하는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

<69> 또한, 상술한 본 발명의 제3 목적을 달성하기 위하여 본 발명의 또 다른 실시예에 따르면, 기판에 형성된 활성 영역들에 스토리지 노드 콘택 영역과 비트 라인 콘택 영역을 형성하는 단계, 상기 스토리지 노드 콘택 영역에 접촉하는 제1 콘택 패드 및 상기 비트 라인 콘택 영역에 접촉하는 제2 콘택 패드를 형성하는 단계, 상기 제1 콘택 패드 및 상기 제2 콘택 패드가 형성된 상기 기판 상에 제1 층간 절연막을 형성하는 단계, 상기 제2 콘택 패드 상의 제1 층간 절연막을 관통하여 상기 제2 콘택 패드를 노출시키는 콘택 홀 내부에 상기 제2 콘택 패드와 접촉하는 제3 콘택 패드를 형성하는 단계, 상기 제3 콘택 패드 상, 상기 제1 콘택 패드 사이의 상기 제1 층간 절연막 상 및 상기 제1 콘택 패드와 상기 제2 콘택패드 사이의 상기 제1 층간 절

연막 상을 통과하는 비트 라인을 형성하는 단계, 상기 비트 라인의 측벽에 스페이서를 형성하는 단계, 상기 비트 라인이 형성된 제1 층간 절연막 상에 제2 층간 절연막을 형성하는 단계, 상기 제2 층간 절연막 및 상기 제1 층간 절연막을 제거하여 인접하는 활성 영역에 형성된 한 쌍의 제1 콘택 패드를 동시에 노출시키는 스토리지 전극 콘택 홀을 형성하는 단계, 상기 스토리지 노드 콘택 홀의 내부에 상기 제1 콘택 패드와 접촉하는 제4 콘택 패드를 형성하는 단계, 그리고 상기 제4 콘택 패드 상에 스토리지 전극, 유전층 및 플레이트 전극이 차례로 적층된 캐패시터를 형성하는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

<70> 본 발명에 의하면, 인접하는 활성 영역들을 병합하여 오픈하기 위한 콘택 홀들을 동시에 형성하고 상기 콘택 홀들 내에 스토리지 노드 콘택들을 형성함으로써, 사진 식각 마스크 및 그에 따른 콘택의 미스-얼라인먼트 마진을 간단한 방법으로 충분하게 확보할 수 있다. 이에 따라, 비록 캐패시터 구조물이 높은 중형비를 갖는 경우라 하더라도 충분한 미스-얼라인먼트 마진이 확보되어 $0.1\mu\text{m}$ 이하의 디자인 룰을 갖는 차세대 디바이스들의 제조 공정에서 대하여 경쟁력을 가질 수 있는 콘택을 형성할 수 있으며, 결국 반도체 장치의 신뢰성 및 반도체 제조 공정의 수율을 향상시킬 수 있다.

<71> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들에 따른 콘택 홀 형성 방법, 반도체 장치 및 이의 제조 방법을 상세하게 설명하지만, 본 발명이 하기의 실시예들에 의하여 제한되거나 한정되는 것은 아니다.

<72> 본 발명에 따르면 먼저 충분한 콘택 미스-얼라인먼트 마진을 갖는 반도체 장치가 제공된다. 본 발명의 구체적인 실시예들에 의한 반도체 장치를 상술하기 전에 본 발명에 따른 반도체 장치가 형성되는 기관을 살펴보기로 한다. 후술하는 본 발명의 다양한 실시예들은 통상의 기

판에도 적용 가능하지만, 특히 본 발명은 사선형 활성 영역(diagonal active region)들을 구비하는 반도체 기판에 적용할 경우에 더욱 유용하다.

<73> 도 4는 본 발명의 일 실시예에 따라 사선형 활성 영역을 포함하는 반도체 장치의 평면도를 도시한 것이다.

<74> 도 4를 참조하면, 본 발명에 따른 반도체 장치는, 반도체 기판 상에 마련된 활성 영역(111)에 대하여 사선 방향을 따라 형성된 워드 라인(113)과 비트 라인(115), 활성 영역(111)과 스토리지 전극의 연결을 위한 스토리지 노드 콘택 홀(150), 그리고 활성 영역(111)과 비트 라인(115) 간의 연결을 위한 비트 라인 콘택(117)을 포함한다.

<75> 본 발명에 따른 반도체 장치 제조에 있어서, 하부의 사선형 활성 영역(111)(또는 활성 영역(111) 상에 형성된 콘택 패드)에 접촉하는 콘택의 형성 시에 충분한 미스-얼라인먼트 마진을 확보하기 위하여, 도 1에 도시된 바와 달리 두 개의 인접하는 활성 영역(111)들의 콘택 영역을 병합하여 동시에 노출시키는 스토리지 노드 콘택 홀(150)이 형성된다. 여기서, 비트 라인(115) 및 기타 층간 절연막(Inter-Layer Dielectrics: ILD)을 형성하는 공정은 종래 알려진 방법에 의하여 수행되고, 다만, 스토리지 노드 콘택 홀(150)의 형성 단계에서 식각 마스크를 개선하여, 후속하여 형성되는 스토리지 전극을 위해 인접하는 두 개의 활성 영역(111)들에 형성되어 있는 한 쌍의 콘택 영역들을 동시에 노출시키는 스토리지 노드 콘택 홀(150)들을 형성한다.

<76> 이하, 본 발명의 일 실시예에 따른 반도체 장치를 도면을 참조하여 상세하게 설명한다.

<77> 이하의 단면도들은 도 4의 반도체 장치를 워드 라인(113)과 나란한 b-b'선을 따라 절단한 단면도들로서, 단면도들 상에 게이트 전극 등의 일부 구조물들은 도시하지 않는다.

- <78> 도 5a는 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 단면도를 도시한 것이다.
- <79> 도 5a를 참조하면, 본 실시예에 따른 반도체 장치는, 기판(100), 기판(100) 상에 형성된 절연막(110) 및 양측 상부 모서리에 제1 식각 침식부(229a)를 가지는 제1 마스크층(228a)을 포함하는 제1 배선(231)을 구비한다. 또한, 본 실시예에 의한 반도체 장치는, 제1 배선(231)의 일측에 위치하고 제2 식각 침식부(229b)를 갖는 제2 마스크층(228b)을 포함하는 제2 배선(232), 그리고 제1 배선(231)의 타측에 위치하고 제3 식각 침식부(229c)를 갖는 제3 마스크층(228c)을 포함하는 제3 배선(233)을 구비한다.
- <80> 한편, 제1 배선(231), 제2 배선(232) 및 제3 배선(233)의 측벽에는 각기 제1 스페이서(241), 제2 스페이서(242) 및 제3 스페이서(243)가 형성되며, 활성 영역(111)의 콘택 영역(105)들에 각기 접촉되는 제1 도전체(251) 및 제2 도전체(252)가 제공된다. 여기서, 제1 배선(231)의 양 측벽에 제1 및 제2 스페이서가 형성되고, 제2 배선(232)의 일 측벽에 제3 스페이서가 형성되며, 제3 배선(233)의 일 측벽에 제4 스페이서가 형성될 수 있다.
- <81> 본 실시예에 의한 반도체 장치는 콘택 영역(105)을 포함하는 활성 영역(111)이 형성된 기판(100)을 구비한다.
- <82> 셀로우 트렌치 소자분리(Shallow Trench Isolation; STI)이나 실리콘 부분 산화법(Local Oxidation of Silicon: LOCOS)과 같은 통상의 소자 분리 공정으로 반도체 기판(100) 상에 소자 분리막을 형성하여 활성 영역(111) 및 필드 영역을 정의한다. 상기 활성 영역(111)은 예를 들면, 바(bar)의 형상이 트랙(track)의 형상으로 형성되며, 제1 배선(231), 제2 배선(232) 및 제3 배선(233)은 활성 영역(111)에 대하여 사선 방향을 따라 형성된다. 이 때, 제1 내지 제3 배선(231, 232, 233)은 서로 평행하게 배치된다.

- <83> 상기 콘택 영역(105)은, 예를 들면, 반도체 기판(100)의 활성 영역(111)에 이온 주입 (ion implantation) 공정으로 불순물을 주입한 후, 열처리 공정을 수행하여 활성 영역(111)에 형성되며, MOS 트랜지스터의 소스 영역 또는 드레인 영역에 해당된다.
- <84> 상기 기판(100) 상에 형성되는 절연막(110)은 BPSG, SOG(Spin On Glass), USG(Undoped Silicate Glass), HDP(High Density Plasma) 산화물 또는 CVD(Chemical Vapor Deposition) 산 화물로 이루어진다. 바람직하게는, 화학적 기계적 연마(CMP) 공정, 에치백 공정 또는 이들을 조합한 공정을 이용하여 상기 절연막(110)을 평탄화한다.
- <85> 상기 절연막(110) 상에 형성되는 제1 배선(231)은 제1 도전층(226a, 227a) 및 제1 도전 층(226a, 227a) 상에 형성되는 제1 마스크층(228a)을 포함한다. 여기서, 제1 도전층(226a, 227a)은 단일 층으로 구성될 수도 있지만, 필요에 따라 폴리실리콘층(226a) 및 상기 폴리실리 콘층(226a) 상에 형성된 텅스텐 등의 금속 실리사이드 층(227a)으로 구성된다. 또한, 제1 도전 층(226a, 227a)은 텅스텐, 티타늄, 티타늄질화물, 알루미늄, 구리 또는 몰리브덴 등의 금속을 적절하게 조합한 제1 금속층(226a) 및 상기 제1 금속층(226a) 상에 형성된 제2 금속층(227a)을 포함하는 복합층으로 이루어질 수도 있다.
- <86> 상기 제1 마스크층(228a)은 양측 상부 모서리에 제1 식각 침식부(229a)를 가진다. 제1 식각 침식부(229a)의 형태적 특성 및 제2 식각 침식부(229b)와의 차이는 후술한다. 상기 제1 마스크층(228a)은 마지막인 절연막(110)에 대하여 식각 선택비를 갖는 물질로 형성되며, 예를 들면, 질화물을 사용할 수 있다.
- <87> 상기 절연막(110) 상에는 제1 배선(231)의 일 측에 소정의 간격을 개재하여 제2 배선 (232)이 형성된다.

- <88> 상기 제2 배선(232)은 제2 도전층(226b, 227b) 및 제1 배선(231)의 제1 식각 침식부(229a)에 대향하는 상부 모서리에 제2 식각 침식부(229b)를 가지는 제2 마스크층(228b)을 포함한다. 상기 제2 도전층(226b, 227b)은 전술한 제1 도전층(226a, 227a)과 동일한 종류의 물질을 사용하며, 동일한 방법으로 형성한다.
- <89> 도 4를 참조하여 살펴본 바와 같이, 본 발명의 일 실시예에 의한 반도체 장치에 있어서, 콘택 홀(150)은 활성 영역(111)들의 콘택 영역들을 개별적으로 노출시키는 것이 아니라, 인접하는 활성 영역(111)들에 형성된 한 쌍의 콘택 영역들을 병합하여 노출시킨다. 이 때, 상기 콘택 홀(150)을 형성하기 위한 식각 마스크 패턴은 상기 제1 배선(231) 상에는 형성되지 않고, 제2 배선(232) 및 제3 배선(233)상에만 형성되기 때문에, 제1 배선(231)과 제2 및 제3 배선(232, 233)은 서로 식각된 형상이 상이하게 된다. 즉, 콘택 홀(150)을 형성하기 위한 식각 공정을 진행하는 동안, 그 상부에 상기 식각 마스크 패턴이 존재하는 제2 및 제3 배선(232, 233)은 제2 및 제3 스페이서(242, 243)를 포함한 측벽의 일부가 네거티브(negative) 경사를 가지도록 식각되는 반면 상기 식각 마스크 패턴이 존재하지 않는 제1 배선(231)은 그 상면으로부터 식각이 진행되어 제1 스페이서(291)를 포함하는 양 측벽이 포지티브(positive) 경사를 갖도록 식각된다. 구체적으로, 도 5에 도시된 바와 같이 제1 마스크층(228a)에 형성된 제1 식각 침식부(229a)는 실질적으로 포지티브 경사를 갖는 볼록한 형상으로 형성되며, 제2 마스크층(228b)에 형성된 제2 식각 침식부(229b)는 네거티브 경사를 갖는 오목한 형상으로 형성된다. 또한, 제3 마스크층(228c)에 형성된 제3 식각 침식부(229c)도 제2 식각 침식부(229b)에 대응하여 네거티브 경사를 갖는 오목한 형상으로 형성된다. 따라서, 제1 식각 침식부(229a)와 제2 및 제3 식각 침식부(229b, 229c)는 서로 상이한 경사 방향 및 경사도를 갖도록 형성된다.
- <90> 도 5b는 도 4에 도시한 반도체 장치 중 'B' 부분을 확대한 평면도이다.

- <91> 도 4 및 도 5b를 참조하면, 본 실시예에 따른 반도체 장치에 형성되는 콘택 홀(150)은 도 3b에 도시된 종래 방법에 의한 콘택 홀 보다 도면 부호 250으로 표시한 만큼 넓게 활성 영역(111)의 콘택 영역을 노출시킨다. 이러한 콘택 홀(150)에 도전체를 매립하여 콘택을 형성하게 되면, 콘택 저항이 줄어들고 우수한 전기적 특성을 가지는 반도체 장치를 제조할 수 있게 된다. 콘택 홀(150) 내지는 콘택 홀(150)에 채워지는 도전체의 구조적인 면에서도 도 3b에 도시된 종래 발명의 경우 원형인 두 개의 콘택 홀이 형성되지만, 본 발명에 의한 반도체 장치는 인접하는 활성 영역(111)의 콘택 영역들을 동시에 노출시키는 반원형 또는 반 타원형에 가까운 두 개의 콘택 홀들이 형성된다. 다만, 상기 사진 식각 마스크 패턴이 상기 제1 배선(231)을 정중앙으로 하여 위치하지 않으면, 형성되는 두 개의 콘택 홀의 모양은 대칭형을 이루지는 않게 된다.
- <92> 상기 절연막(110) 상에 형성되는 제3 배선(233)은 상기 제1 배선(231)의 타측에 소정의 간격을 개재하여 위치한다.
- <93> 상기 제3 배선(233)은 제1 배선(231)을 중심으로 상기 제2 배선(232)의 반대편에 위치한다. 또한, 제3 배선(233)은 제3 도전층(226c, 227c) 및 제3 마스크층(228c)을 포함한다. 제3 도전층(226c, 227c)은 상술한 제1 도전층(226a, 227a)과 동일한 종류의 물질을 사용하며, 동일한 방법으로 형성한다.
- <94> 전술한 바와 같이, 상기 제3 마스크층(228c)에도 제3 식각 침식부(229c)가 형성될 수 있다. 즉, 상기 사진 식각 마스크 패턴이 상기 제1 배선(231)을 중심으로 하여 제1 배선(231)을 완전히 노출시키도록 위치하면, 제2 식각 침식부(229b)와 대칭되는 형태로 제3 마스크층(228c)에 제3 식각 침식부(229c)가 형성된다. 제3 배선(233)에 제3 식각 침식부(229c)가 형성되는 경우, 제2 배선(232)의 제2 식각 침식부(229b)와 마찬가지로 제1 배선(231)의 제1 식각 침식부

(229a)와는 그 형태가 상이하게 된다. 구체적으로, 도 5a 및 도 5b에 도시한 바와 같이, 제1 마스크층(228a)에 형성된 제1 식각 침식부(229a)는 통상적으로 포지티브 기울기를 갖는 볼록한 형상이고, 제3 마스크층(228c)에 형성된 제3 식각 침식부(229c)는 네거티브 기울기를 갖는 오목한 형상이다. 따라서, 제1 식각 침식부(229a) 및 제3 식각 침식부(229c)는 서로 상이한 경사 방향 및 경사도를 가진다.

<95> 또한, 본 실시예에 따른 반도체 장치는, 상기 제1 배선(231), 제2 배선(232) 및 제3 배선(233)의 측벽에 각기 형성된 제1 스페이서(241), 제2 스페이서(242) 및 제3 스페이서(243)를 포함한다.

<96> 상기 제1 내지 제3 스페이서(241, 242, 243)는 상기 절연막(110)에 대하여 식각 선택비를 갖는 물질로 구성되며, 예를 들면, 질화물로 이루어진다. 제1 내지 제3 스페이서(241, 242, 243)들은 자기 정렬 콘택 홀 형성을 위한 마스크의 역할을 한다.

<97> 상기 콘택 홀들 내에는 제1 도전체(251) 및 제2 도전체(252)가 각기 형성된다.

<98> 상기 제1 도전체(251)는 상기 제1 스페이서(241)와 제2 스페이서(242) 사이의 절연막(110)을 관통하여 활성 영역(111)의 콘택 영역(105)에 접촉한다. 한편, 제2 도전체(252)는 상기 제1 스페이서(241)와 제3 스페이서(243) 사이의 절연막(110)을 관통하여 활성 영역(111)의 콘택 영역(105)에 접촉한다. 즉, 제1 및 제2 도전체(251)는 각기 서로 인접하는 활성 영역(111)의 콘택 영역(105)에 각기 접촉된다.

<99> 상기 제1 및 제2 도전체(251, 252)는 도 4에 도시한 콘택 홀(150)을 도전 물질로 채운 후, 이를 식각하여 분리한 것으로, 앞서 설명한 제1 내지 제3 배선(231,

232, 233)의 형상 및 그에 의해 정의되는 콘택 홀들의 모양에 따라 그 형태가 결정된다. 즉, 상기 제1 도전체(251)의 상면 역시 반원형 내지 반타원형에 가까운 형상을 가지며, 종래 발명에 의하는 경우보다 도 5b의 도면 부호 250으로 표시한 면적만큼 콘택 영역(105)과의 접촉 면적이 넓어진다. 또한, 앞서 설명한 바와 같이, 제1 도전체(251) 및 제2 도전체(251)는 동일한 활성 영역(111)에 형성되는 것이 아니라, 인접하는 서로 다른 활성 영역(111)의 콘택 영역(105)에 접촉한다.

<100> 본 발명의 다른 실시예에 따르면, 충분한 콘택 미스-얼라인먼트 마진을 가지는 반도체 장치가 제공된다. 본 실시예에 따르면, 도 4에 도시된 구조를 가지는 기판 즉, 활성 영역(111)들과 배선(113, 115)들이 사선 방향을 따라 배치된 기판을 이용하여 한번의 공정으로 인접하는 활성 영역(111)들의 두 개의 콘택 영역을 병합하여 노출시키는 콘택 홀(150)을 가지는 반도체 장치이다.

<101> 도 4 및 도 5a를 참조하면, 본 실시예에 의한 반도체 장치는, 콘택 영역(105)을 포함하는 활성 영역(111)들이 형성된 기판(100), 기판(100) 상에 형성된 절연막(110), 활성 영역(111)들에 대하여 사선 방향으로 위치하는 제1 배선(231), 제1 배선(231)을 사이에 두고 활성 영역(111)들에 대하여 사선 방향을 따라 위치하는 한 쌍의 제2 배선들(232, 233)을 구비한다. 그 외에, 제1 스페이서(241) 및 제2 스페이서들(242, 243)과 인접하는 활성 영역(111)들에 형성된 콘택 영역(105)들에 각기 접촉하는 한 쌍의 도전체들(251, 252)을 포함한다.

<102> 본 실시예에 의한 반도체 장치는, 콘택 영역(105)이 형성되어 있는 활성 영역(111)들을 포함하는 기판(100)과 기판(100) 상에 형성된 절연막(110)을 구비한다. 상기 기판(100), 활성 영역(111)들 및 콘택 영역(105)들은 앞서 설명한 바와 동일한 방법으로 형성한다.

- <103> 또한, 절연막(110) 상에는 활성 영역(111)들에 대하여 사선 방향으로 제1 배선(231)이 위치한다. 제1 배선(231)은 앞서 설명한 실시예의 제1 배선과 동일한 재질과 방법으로 형성될 수 있다. 즉, 제1 배선(231)은 도전층(226a, 227a) 및 상기 도전층 상에 형성된 마스크층(228a)을 포함한다. 그리고, 상기 제1 배선의 마스크층(228a)의 양측 상부 모서리에 제1 식각 침식부(229a)가 형성될 수 있다. 또한, 제1 배선(231)이 활성 영역(111)들에 대하여 사선으로 형성되기 때문에 누설 전류가 감소하여 셀 전류(cell current)가 증가하는 효과가 있다. 따라서, 우수한 물성을 가지는 반도체 장치를 제조할 수 있다.
- <104> 또한, 본 실시예에 의한 반도체 장치는 한 쌍의 제2 배선들(232, 233)을 포함한다. 상기 제2 배선들(232, 233)은 절연막(110) 상에 제1 배선(231)을 사이에 두고 상기 활성 영역(111)들에 대하여 사선 방향으로 위치한다. 제2 배선들(232, 233)은 도전층(226b, 227b, 226c, 227c) 및 도전층(226b, 227b, 226c, 227c) 상에 형성된 마스크층(228b, 228c)을 포함한다. 제2 배선들(232, 233)의 마스크층(228b, 228c) 가운데 적어도 하나가 제1 배선(231)에 대향하는 상부 모서리에 제2 식각 침식부(229b, 229c)를 가질 수 있다. 이 때, 제1 식각 침식부(229a)의 경사도와 상기 제2 식각 침식부(229b, 229c)의 경사도 및 그 형태는 서로 상이하다.
- <105> 상기 제1 배선(231) 및 제2 배선들(232, 233)의 측벽에는 각기 제1 스페이서(241) 및 제2 스페이서들(242, 243)이 형성된다.
- <106> 한편, 본 실시예에 의한 반도체 장치는 한 쌍의 도전체들(251, 252)을 포함한다. 상기 한 쌍의 도전체들(251, 252)은 각기 제1 스페이서(241)와 제2 스페이서(242, 243) 사이의 절연막(110)을 관통하여, 인접하는 활성 영역(111)들에 형성된 콘택 영역(105)에 접촉한다. 즉, 본 실시예에 의하면 동일한 활성 영역(111)에 형성된 복 수개의 콘택 영역(105)이 아니라 인접하

는 서로 다른 활성 영역들(111)에 속해 있는 콘택 영역(105)을 병합하여 노출시켜 형성된 콘택 홀에 도전 물질을 매립하여 한 쌍의 도전체들(251, 252)을 형성한다.

<107> 상기 한 쌍의 도전체들(251, 252)은 도 4의 콘택 홀(150)을 도전 물질로 채운 후 식각하여 분리한 것으로, 앞서 설명한 제1 또는 제2 배선들(231, 232, 233)의 모양 및 그에 의해 정의되는 콘택 홀의 모양에 따라 그 형태가 결정된다. 즉, 상기 도전체들(251, 252) 중 적어도 하나의 상면은 반원형 또는 반타원형에 가까운 형상을 가지며, 종래 발명에 의하는 경우보다도 5b의 도면 부호 250으로 표시한 면적만큼 콘택 영역(105)과의 접촉 면적이 넓어진다.

<108> 본 발명의 또 다른 실시예에 따르면, 충분한 콘택 미스-얼라인먼트 마진을 가지는 반도체 장치가 제공된다.

<109> 도 6은 본 발명의 또 다른 실시예에 의한 반도체 장치를 설명하기 위한 단면도이다.

<110> 도 6을 참조하면, 본 실시예에 의한 반도체 장치는, 콘택 영역들(105)이 형성된 활성 영역을 가지는 기판(100)을 구비한다. 상기 콘택 영역들(105)에 각기 접촉하는 제1 스토리지 노드 콘택 패드들(322)이 형성된다. 여기서, 제1 스토리지 노드 콘택 패드(322)는 소위 랜딩 패드(landing pad)라고도 불린다. 이는 콘택 홀의 어스펙트비(aspect ratio)를 감소시켜 콘택의 낮 오픈(not-open)을 방지하고, 후속하여 형성되는 스토리지 노드 콘택 패드가 플러그가 접촉할 수 있는 면적을 증대시켜 미스-얼라인먼트에 따른 저항 증가를 감소시키기 위하여 사용되는 구조이다.

<111> 또한, 본 실시예에 의한 반도체 장치는 층간 절연막(110)을 포함한다.

- <112> 상기 층간 절연막(110)은 제1 스토리지 노드 콘택 패드들(322) 및 기판(100) 상에 형성된다. 층간 절연막(110)은 산화물 계열로 형성한 후, 바람직하게는 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 이들을 조합한 공정으로 평탄화한다.
- <113> 또한, 본 실시예에 의한 반도체 장치는 제1 비트 라인(331)을 포함한다.
- <114> 상기 제1 비트 라인(331)은, 층간 절연막(110) 상에 위치하고, 제1 비트 라인 도전층(326a, 327a)과 제1 비트 라인 도전층(326a, 327a) 상의 제1 비트 라인 마스크층(328a)을 포함한다.
- <115> 상기 제1 비트 라인 도전층(326a, 327a)은 단일 도전층으로 구성될 수도 있지만, 필요에 따라 전술한 바와 같이 복합층으로 구성될 수도 있다. 제1 비트 라인 마스크층(328a)은 양측 상부 모서리에 제1 식각 침식부(329a)를 가진다. 제1 식각 침식부(329a)의 형태적 특성 및 제2 식각 침식부(329b)와의 차이는 후술한다. 제1 비트 라인 마스크층(328a)은 절연막(110)에 대하여 식각 선택비를 갖는 물질, 예를 들면, 질화물을 사용하여 형성할 수 있다.
- <116> 상기 층간 절연막(110) 상에는 소정의 간격을 개재하여 제1 비트 라인(331)의 일측에 위치하는 제2 비트 라인(332)이 형성된다.
- <117> 제2 비트 라인(332)은 제2 비트 라인 도전층(326b, 327b) 및 상기 제1 비트 라인에 대향하는 상부 모서리에 제2 식각 침식부(329b)를 가지는 제2 비트 라인 마스크층(328b)을 포함한다. 앞서 살펴본 바와 같이, 제1 비트 라인(331)과 제2 및 제3 비트 라인(332, 333)은 그 식각 프로파일이 상이하게 된다. 구체적으로, 도 6에 도시된 바와 같이 제1 비트 라인 마스크층(328a)에 형성된 제1 식각 침식부(329a)는 통상 볼록한 형상이고, 제2 비트 라인 마스크층

(328b)에 형성된 제2 식각 침식부(329b)는 오목한 형상이다. 따라서, 제1 식각 침식부(329a) 및 제2 식각 침식부(329b)의 경사 방향 및 경사도가 서로 다르게 된다.

<118> , 또한, 본 실시예에 의한 반도체 장치는, 층간 절연막(110) 상의 제1 비트 라인(331)의 타측에 위치하는 제3 비트 라인(333)을 포함한다. 제3 비트 라인(333)은 제1 비트 라인(331)을 중심으로 상기 제2 비트 라인(332)의 반대편에 위치한다. 또한, 제3 비트 라인(333)은 제3 비트 라인 도전층(326c, 327c) 및 제3 비트 라인 마스크층(328c)을 포함한다.

<119> 상기 제3 비트 라인 마스크층(328c)에도 제3 식각 침식부(329c)가 형성될 수 있다. 즉, 사전 식각 마스크 패턴이 제1 비트 라인(331)을 중심으로 정중앙에 위치 위치하면, 제2 식각 침식부(329b)와 대칭되는 형태로 제3 비트 라인 마스크층(328c)에 제3 식각 침식부(329c)가 형성될 수 있다. 제3 식각 침식부(329c)가 형성되는 경우, 제2 식각 침식부(329b)와 마찬가지로 제1 식각 침식부(329a)와는 그 형태 및 형성되는 콘택 홀의 횡단면의 모양이 다르다.

<120> 구체적으로, 도 6에 도시된 바와 같이 제1 비트 라인 마스크층(328a)에 형성된 제1 식각 침식부(329a)는 통상 볼록한 형상이고, 제3 비트 라인 마스크층(328c)에 형성된 제3 식각 침식부(329c)는 오목한 형상이다. 따라서, 제1 식각 침식부(329a) 및 제3 식각 침식부(329c)의 경사 방향 및 경사도가 서로 다르다.

<121> 또한, 본 실시예의 반도체 장치는, 제1 비트 라인(331), 제2 비트 라인(332) 및 제3 비트 라인(333)의 측벽에 각기 형성된 제1 스페이서(341), 제2 스페이서(342) 및 제3 스페이서(343)를 포함한다. 여기서, 제1 내지 제3 스페이서들(341, 342, 343)은 상기 절연막(110)에 대하여 식각 선택비를 가지는 물질, 예를 들면, 질화물로 구성된다. 제1 내지 제3 스페이서(341, 342, 343)들은 자기 정렬된 콘택 홀 형성을 위한 마스크의 역할을 한다.

- <122> 또한, 본 실시예에 의한 반도체 장치는 제2 스토리지 노드 콘택 패드(351) 및 제3 스토리지 노드 콘택 패드(352)를 가진다.
- <123> 상기 제2 스토리지 노드 콘택 패드(351)는 제1 비트 라인 스페이서(341)와 상기 제2 비트 라인 스페이서(342) 사이의 충전 절연막(110)을 관통하여 하나의 활성 영역의 콘택 영역(105)들에 접촉하며, 제3 스토리지 노드 콘택 패드(352)는 제1 비트 라인 스페이서(341)와 제3 비트 라인 스페이서(343) 사이의 충전 절연막(110)을 관통하여 상기 활성 영역에 인접하는 활성 영역의 콘택 영역(105)에 접촉한다. 즉, 제2 스토리지 노드 콘택 패드(351) 및 제3 스토리지 노드 콘택 패드(352)는 인접하는 서로 다른 활성 영역의 콘택 영역들(105)에 각기 접촉한다.
- <124> 제2 및 제3 스토리지 노드 콘택 패드(351, 352)는 도 4의 콘택 홀(150)을 도전 물질로 채운 후 식각하여 분리한 것으로, 앞서 설명한 제1 내지 제3 비트 라인(331, 332, 333)의 모양 및 그에 의해 정의되는 콘택 홀들의 모양에 따라 그 형태가 결정된다.
- <125> 또한, 본 발명의 또 다른 실시예에 따르면, 충분한 콘택 미스-얼라인먼트 마진을 가지는 반도체 장치의 제공된다. 본 실시예는 도 4에 도시된 배치를 가지는 기판 즉, 활성 영역(111)들과 배선들(113, 115)이 사선 방향으로 배치된 기판을 이용하여 한번의 공정으로 인접하는 활성 영역들의 2 개의 제1 스토리지 노드 콘택 패드를 병합하여 노출시키는 콘택 홀들을 가지는 반도체 장치이다.
- <126> 도 4 및 도 6을 참조하면, 본 실시예에 의한 반도체 장치는, 콘택 영역들(105)을 포함하는 활성 영역(111)들 가지는 기판(100)과 상기 콘택 영역(105)들에 접촉하는 제1 스토리지 노드 콘택 패드들(322)을 포함한다. 상기 기판(100), 활성 영역(111)들 및 콘택 영역(105)들은 앞서 설명한 바와 동일한 방법으로 형성한다.

- <127> 또한, 본 실시예에 의한 반도체 장치는 층간 절연막(110)을 포함한다.
- <128> 상기 층간 절연막(110)은 제1 스토리지 노드 콘택패드들(322) 및 기판(100) 상에 형성된다. 층간 절연막(110)은 산화물 계열로 형성한 후, 바람직하게는 화학 기계적 연마 공정(CMP), 에치백 또는 또는 이들을 조합한 공정으로 평탄화한다.
- <129> 또한, 상기 층간 절연막(110) 상에 상기 활성 영역(111)들에 대하여 사선 방향을 따라 위치하는 제1 비트 라인(331)을 포함한다.
- <130> 상기 제1 비트 라인(331)의 마스크층(228a)에는 양측 상부 모서리에 제1 식각 침식부(229a)가 형성될 수 있다. 또한, 상기 제1 배선(231)이 활성 영역(111)들에 대하여 사선으로 형성되어 있으므로 누설 전류가 감소하여 셀 전류가 증가하는 효과가 있다.
- <131> 또한, 본 실시예에 의한 반도체 장치는 한 쌍의 제2 비트 라인들(332, 333)을 포함한다. 제2 비트 라인들(332, 333)은 층간 절연막(110) 상에 제1 비트 라인(331)을 사이에 두고, 상기 활성 영역(111)들에 대하여 사선 방향을 따라 위치한다.
- <132> 상기 제2 비트 라인들(332, 333)의 마스크층 중 적어도 하나가 제1 비트 라인(331)에 대향하는 상부 모서리에 제2 식각 침식부(329b, 329c)를 가질 수 있다. 이 때 상기 제1 식각 침식부(329a)의 경사도와 상기 제2 식각 침식부(329b, 329c)의 경사도 및 그 형태는 서로 다르다.
- <133> 또한, 제1 비트 라인(331) 및 제2 비트 라인들(332, 333)의 측벽에 각기 형성된 제1 스페이서(341) 및 제2 스페이서들(342, 343)을 포함한다.
- <134> 본 실시예에 의한 반도체 장치는 한 쌍의 제2 스토리지 노드 패드들(351, 352)을 포함한다. 즉, 본 실시예에 의한 한 쌍의 스토리지 노드 패드(351, 352)는 동일한 활성 영역(111)에

형성된 복수 개의 콘택 영역들(105)이 아니라 인접하는 서로 다른 활성 영역(111)들에 속해 있는 제1 스토리지 노드 콘택 패드들(351, 352)을 병합하여 노출시켜 형성된 콘택 홀들에 도전 물질을 매립하여 형성한다.

<135> 또한, 본 발명은 전술한 반도체 장치를 제조하기 위한 콘택 홀의 형성 방법을 제공한다.

<136> 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 콘택 홀의 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<137> 도 7a 내지 7c를 참조하면, 본 실시예에 의한 콘택 홀의 형성 방법에 의하면, 콘택 영역들을 포함하는 활성 영역들이 형성된 기판 및 하부 구조물들을 형성한 다음, 상기 하부 구조물들 상에 배선 구조물들을 형성한다. 이어서, 상기 배선 구조물들을 자기 정렬 마스크로 한 쌍의 상기 콘택 영역들을 병합하여 노출시킨다.

<138> 먼저, 본 실시예에서는 기판(100) 상에 하부 구조물(410)을 형성한다.

<139> 도 7a를 참조하면, 상기 기판(100)에는 콘택 영역(105)을 포함하는 복수 개의 활성 영역들이 형성된다. 하부 구조물(410)로는 대표적으로 각종 층간 절연막을 들 수 있다.

<140> 이어서, 하부 구조물(410)이 형성된 기판(100) 상에 배선 구조물(430)을 형성한다.

<141> 도 7b를 참조하면, 하부 구조물(410) 상에 상기 활성 영역들에 대하여 사선 방향을 따라 배선 구조물(430)들을 형성한다. 상기 배선 구조물(430)들은, 예를 들면, 도전층(426, 427)과 도전층(426, 427) 상에 형성되는 마스크층(428)을 포함하는 배선(430), 그리고 배선(430)의 측벽에 형성된 스페이서(433)를 포함한다.

- <142> 상기 마스크층(428) 및 스페이서(433)는 하부 구조물(410)에 대하여 식각 선택비를 가진다. 따라서, 마스크층(428) 및 스페이서(433)는 자기정렬 방법으로 콘택 홀을 형성하는 데 사용될 수 있다.
- <143> 계속하여, 한 번의 콘택 홀 형성 공정으로 복수 개의 콘택 영역들을 병합 노출시킨다.
- <144> 도 7c를 참조하면, 배선 구조물들(430)을 자기정렬 마스크로 하부 구조물(410)을 식각하여 인접하는 활성 영역에 형성된 한 쌍의 콘택 영역들(105)을 병합하여 노출시킨다.
- <145> 구체적으로, 예를 들면, 인접하는 활성 영역에 형성된 한 쌍의 콘택 영역들(105) 및 콘택 영역들(105) 사이의 배선 구조물(430)을 노출시키는 위치에 식각 마스크 패턴(440)을 형성한다.
- <146> 이어서, 식각 마스크 패턴(440), 마스크층(428) 및 스페이서(433)를 마스크로 하여 하부 구조물(410)을 식각하여 콘택 영역들(105) 각기 노출시키는 콘택 홀(450)들을 형성한다. 콘택 홀(450)을 형성한 후, 배선 구조물(430)의 상부(451, 452)는 위치에 따라 형태가 서로 다르게 된다. 또한, 하부 구조물(410)을 식각 한 후에 식각 마스크 패턴(440)의 잔류물을 제거하는 것이 바람직하다.
- <147> 상술한 방법에 의하는 경우 서로 다른 인접하는 활성 영역의 복수 개의 콘택 영역들(105)을 한번의 공정으로 노출시키는 것이 가능하고, 앞서 도 5b에서 설명한 바와 같이, 콘택들과 콘택 영역들(105) 사이의 접촉 면적이 증가하여 콘택 저항이 감소하며, 미스-얼라인먼트 마진이 충분히 확보되는 효과가 있다.
- <148> 본 발명은 전술한 콘택 홀의 형성 방법을 이용하여 반도체 장치를 제조하는 방법을 제공한다.

- <149> 도 8a 내지 도 8e는 본 발명의 일 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도들이다.
- <150> 도 8a 내지 도 8e를 참조하면, 본 실시예에 의한 반도체 장치의 제조 방법에 의하면, 우선 기판(100)에 형성된 활성 영역들(도시되지 않음)에 콘택 영역(105)들을 형성한다.
- <151> 이어서, 콘택 영역(105)들이 형성된 기판(100) 상에 제1 층간 절연막(510)을 형성하고, 콘택 영역(105)들 사이의 제1 층간 절연막(510) 상에 상기 활성 영역들에 대하여 사선 방향으로 배열되는 비트 라인(530)들을 형성한다. 그 다음에, 상기 제1 층간 절연막(510)을 제거하여 인접하는 활성 영역들에 형성된 한 쌍의 콘택 영역(105)들을 병합하여 노출시키는 콘택 홀(550)들을 형성한다.
- <152> 도 8a를 참조하면, 기판(100)에 형성된 활성 영역들에 각기 콘택 영역(105)들을 형성한다. 셀로우 트렌치 소자 분리(STI) 공정이나 실리콘 부분 산화법(LOCOS) 등과 같은 통상의 소자 분리 공정으로 반도체 기판(100) 상에 소자 분리 막을 형성하여 활성 영역 및 필드 영역을 정의한다. 여기서, 상기 활성 영역들은, 예를 들면, 바(bar) 형태 또는 트랙의 형태로 형성한다.
- <153> 다음에, 기판(100) 상에 워드 라인으로 제공되는 게이트 전극(도시되지 않음) 및 소오스/드레인 영역에 해당되는 콘택 영역(105)들을 포함하는 MOS 트랜지스터들을 형성한다.
- <154> 이어서, 상기 게이트 전극 구조물들이 형성된 기판(100)의 전면에서 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물 계열의 절연막을 증착하고, 상기 절연막을 이방성 식각하여 각각의 게이트 전극 구조물의 측면에 게이트 스페이

서를 형성한다. 따라서, 상기 게이트 구조물은 그 상면 및 측면이 절연막, 즉 게이트 마스크층 및 게이트 스페이서로 둘러싸이므로 인접한 게이트 구조물과 전기적으로 격리된다.

<155> 이어서, 상기 게이트 전극 구조물 사이의 반도체 기판 상에 이온 주입 공정으로 불순물을 주입한 후 열처리 공정을 수행함으로써 소스 영역 또는 드레인 영역에 해당하는 콘택 영역(105)들을 형성한다. 여기서, 게이트 구조물의 측벽에 게이트 스페이서를 형성하기 전에, 게이트 구조물 사이에 노출되는 반도체 기판(100)에 낮은 농도의 불순물을 1차적으로 이온 주입하고, 그 다음에, 게이트 구조물의 측벽에 게이트 스페이서를 형성한 후, 상기 1차 이온 주입된 반도체 기판(100)에 높은 농도의 불순물을 2차적으로 이온 주입하여 LDD(Lightly Doped Drain) 구조를 갖는 소오스/드레인 영역인 콘택 영역(105)을 형성할 수도 있다.

<156> 도 8b를 참조하면, 상기 콘택 영역(105)들이 형성된 기판(100) 상에 제1 층간 절연막(510)을 형성한다. 상기 제1 층간 절연막(510)은 BPSG, USG, SOG, HDP 산화물 또는 CVD 산화물로 이루어진 물질을 증착하여 형성한다. 이어서, 바람직하게는 화학적 기계적 연마 공정 또는 에치백 공정으로 상기 제1 층간 절연막(510)을 평탄화한다.

<157> 이어서, 도 8c를 참조하면, 상기 콘택 영역(105) 사이의 상기 제1 층간 절연막(510) 상에 상기 활성 영역에 대하여 사선 방향을 따라 비트 라인(530)들을 형성한다. 도 8c에 도시된 바와 같이, 비트 라인들은 통칭하여 도면부호 530으로 나타내지만, 제1 비트 라인 및 제1 비트 라인을 중심으로 한 쌍의 제2 비트 라인으로 구별할 필요가 있는 경우, 중심의 제1 비트 라인은 도면 부호 531로, 제2 비트 라인은 도면 부호 532로 구별하여 표시하기로 한다.

<158> 상기 비트 라인(530)은 비트 라인 도전층(526, 527) 및 비트 라인 도전층 상에 형성된 비트 라인 마스크층(528)을 포함한다. 여기서, 비트 라인 마스크층(528)은 산화물로 구성된 제1 층간 절연막(510) 및 선택적으로 도포되는 제2 층간 절연막(534)에 대하여 식각 선택비를 갖

는 물질로 이루어진다. 예를 들면, 비트 라인 마스크 층(528)은 실리콘 질화물과 같은 질화물로 이루어진다. 이러한 비트 라인 마스크 층(528)은 후속하는 콘택 홀(550)을 형성하기 위한 식각 공정 동안 비트 라인 도전층(526, 527)을 보호하는 역할을 한다.

<159> 상기 비트 라인(530)을 형성한 후에, 비트 라인(530)의 측벽에 스페이서(533)를 형성한다. 상기 스페이서(533) 역시 제1 층간 절연막(510)에 대하여 식각 선택비를 가지는 질화물 등을 포함하는 것이 바람직하다.

<160> 계속하여, 도 8d 및 8e를 참조하면, 상기 제1 층간 절연막(510)을 제거하여 인접하는 활성 영역에 형성된 한 쌍의 상기 콘택 영역(105)들을 동시에 노출시키는 콘택 홀(550)들을 형성한다.

<161> 상기 콘택 홀(550)은 구체적으로, 상기 인접하는 콘택 영역 사이에 위치하는 제1 비트 라인(531)을 중심으로 하는 한 쌍의 제2 비트 라인(532) 상에 포토레지스트 막을 도포한다. 이어서, 포토레지스트 막을 노광 및 현상하여 식각 마스크 패턴(540)을 형성한다.

<162> 이어서, 상기 식각 마스크 패턴(440) 및 스페이서(533)을 마스크로 하여 상기 제1 층간 절연막(510)을 제거하여 인접하는 한 쌍의 콘택 영역(105)을 노출시키는 콘택 홀(550)을 형성한다. 이어서, 애싱(ashing) 및 스트리핑(stripping) 공정으로 잔류하는 식각 마스크 패턴(540)을 제거한다.

<163> 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법에 있어서, 도 4d를 참조하면, 상기 비트 라인(530)이 형성된 기판(100) 상에 제2 층간 절연막(534)을 형성하고, 상기 콘택 홀(550)은 상기 제2 층간 절연막(534) 및 상기 제1 층간 절연막(510)을 제거하여 형성할 수도 있다. 이 때, 상기 제2 층간 절연막(534)은 BPSG, USG, SOG, HDP 산화물 또는 CVD 산화물로 이

투어진 물질을 증착하여 형성하고, 이후에 바람직하게는 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 이들을 조합한 공정으로 제2 층간 절연막(534)을 평탄화한다.

<164> 이와 같이, 제2 층간 절연막(534)을 도입하는 경우 식각 마스트 패턴(540)은 상기 제2 층간 절연막(534) 상에 형성되고, 콘택 홀(550)은 상기 제2 층간 절연막(434) 및 제1 층간 절연막(510)을 순차적으로 식각하여 형성된다.

<165> 상술한 바와 같이, 인접한 활성 영역들에 속하는 한 쌍의 콘택 영역(105)들을 병합하여 노출시키는 콘택 홀들을 형성함으로써, 도 2b에 나타난 바와 같이 식각마스크 패턴의 리프팅으로 인하여 미스-얼라인먼트가 발생하더라도, 콘택 영역(105)들과의 충분한 접촉 면적이 확보되어 콘택 저항 증가를 방지할 수 있다. 즉, 디자인 룰이 $0.1\mu\text{m}$ 이하인 고집적 반도체 제조에 있어서, 종래의 방법에 의하는 경우 미스-얼라인먼트 마진 약 10nm에 불과하지만, 본 실시예에 의하는 경우 수십 nm 이상의 미스-얼라인먼트 마진이 확보된다.

<166> 도 9a 내지 도 9g는 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

<167> 도 9a 내지 도 9g를 참조하면, 우선, 기판(100)에 콘택 영역(105)들을 형성하고, 콘택 영역(105)들에 접촉하는 콘택 패드(622)들을 형성한다. 이어서, 기판(100) 상에 제1 층간 절연막(610)을 형성한다. 상기 콘택 패드(622)들의 형성을 위하여 제3 층간 절연막(624)을 형성하고, 상기 제3 층간 절연막(624)의 일부를 식각하여 콘택 패드(622)를 형성할 수도 있다. 즉 제3 층간 절연막(624)을 형성한다면, 이는 상기 제1 층간 절연막(610) 보다 앞서서 형성되게 된다.

- <168> 계속하여, 상기 제1 층간 절연막(610) 상에 비트 라인(630)을 형성하고, 상기 비트 라인(630)의 측벽에 스페이서(633)를 형성한다. 여기서, 비트 라인(630)은 활성 영역들에 대하여 사선 방향으로 형성된다. 다음에, 비트 라인(630) 및 제1 층간 절연막(610) 상에 제2 층간 절연막(634)을 형성한 후에 제2 층간 절연막(634) 및 제1 층간 절연막(610)을 제거하여 인접하는 한 쌍의 콘택 패드(622)들을 동시에 노출시키는 콘택 홀(650)을 형성한다.
- <169> 이를 공정 단계별 도면을 참조하여, 보다 구체적으로 설명한다.
- <170> 도 9a를 참조하면, 본 실시예에서는 우선, 기판(100)에 형성된 활성 영역들에 콘택 영역(105)들을 형성한다. 이는 앞서 도 8a에서 설명한 바와 동일한 방법에 의한다.
- <171> 이어서, 도 9b를 참조하면, 콘택 영역(105)에 접촉하는 콘택 패드(622)들을 형성한다. 상기 콘택 패드(622)는 소위 랜딩 패드(landing pad)라고도 불린다. 이의 형성 방법의 일예를 구체적으로 설명하면 다음과 같다.
- <172> MOS 트랜지스터들을 포함한 기판(100)의 전면에 산화물 계열의 물질로 이루어진 제3 층간 절연막(624)을 형성한 후, 화학 기계적 연마 공정(CMP), 에치백 공정 또는 이들을 조합한 공정으로 제3 층간 절연막(624)을 평탄화한다. 다음에, 질화물로 이루어진 게이트 마스크층에 대해 높은 식각 선택비를 갖는 식각 가스를 이용하여 제3 층간 절연막(624)을 이방성 식각함으로써, 상기 게이트 구조물에 자기 정렬되면서 소오스/드레인 영역에 해당되는 콘택 영역(105)들을 노출시키는 콘택 패드 콘택 홀(도시되지 않음)들을 형성한다.
- <173> 상기 콘택 홀들을 매립하도록 고농도의 불순물로 도핑된 폴리 실리콘층을 증착한 후, 상기 게이트 마스크층의 상부 표면이 노출될 때까지 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마와 에치백을 조합한 공정에 의해 상기 폴리실리콘층 및 제3 층간 절연막

(624)을 평탄화한다. 그러면, 각각의 콘택 패드 콘택 홀 내에 노드 분리된 콘택 패드(622)가 형성된다. 상기 복수의 콘택 패드(622) 중 일부는 소오스 영역과 접촉하고, 일부는 드레인 영역과 접촉한다.

<174> 계속하여, 콘택 패드(622)들이 형성된 기판(100) 상에 제1 층간 절연막(610)을 형성한다.

<175> 도 9c를 참조하면, 콘택 패드(622)들을 형성한 후, 결과물의 전면에서 BPSG, USG, SOG, HDP 산화물 또는 CVD 산화물과 같은 산화물 계열의 물질을 약 1000~3000Å 정도의 두께, 바람직하게는 약 2000Å의 두께로 증착하여 제1 층간 절연막(610)을 형성한 후, 후속 사진 공정의 마진을 확보하기 위하여 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 화학 기계적 연마(CMP)와 에치백을 조합한 공정 중의 어느 하나로 제1 층간 절연막(610)의 표면을 평탄화한다.

<176> 이때, 제1 층간 절연막(610)이 비트 라인의 하부에서 약 1000~2000Å의 두께로 남아있도록 평탄화를 진행한다. 제1 층간 절연막(610)은 콘택 패드(622)들과 그 위에 형성되어질 비트 라인(630)을 서로 격리시킨다.

<177> 계속하여, 도 9d를 참조하면, 제1 층간 절연막(610) 상에 비트 라인(630)을 형성한다. 이때, 콘택 패드(622)들 사이의 제1 층간 절연막(610) 상에 상기 활성 영역들에 대하여 사선 방향으로 비트 라인(530)을 형성한다. 도 4 및 도 9b를 참조하여 설명하면, 워드 라인(313)과 비트 라인(315, 630)이 수직 방향으로 형성되어 있고, 이들의 하부 기판(100) 상의 활성 영역(111)들은 이들 워드 라인(313)이나 비트 라인(315, 630)과 나란하거나 직교하는 방향이 아닌 사선 방향으로 형성된다. 이러한 활성 영역(111)들의 배치에 의하여 누설 전류를 억제하여 셀 전류를 증가시킬 수 있다.

- <178> 이어서, 상기 비트 라인(630)의 측벽에 스페이서를 형성한다. 도 9e를 참조하면, 상기 비트 라인(630)을 형성한 후에, 비트 라인(630)의 측벽에 스페이서(633)를 형성한다.
- <179> 그 다음, 제1 층간 절연막(610) 상에 제2 층간 절연막(634)을 형성한다. 도 9f를 참조하면, 상기 비트 라인(630), 상기 스페이서(633), 및 제1 층간 절연막(610) 상의 전면에 제2 층간 절연막(634)을 형성한다. 상기 제2 층간 절연막(634)은 BPSG, USG, SOG, HDP 산화물 또는 CVD 산화물로 이루어진 물질을 증착하여 형성하고, 바람직하게는 증착 후 화학 기계적 연마(CMP) 공정, 에치백 공정, 또는 이들을 조합한 공정으로 제2 층간 절연막(634)을 평탄화한다. 제2 층간 절연막(634)은 제2 층간 절연막(634) 상에 형성되는 캐패시터 등의 상부 구조물과 비트 라인(530)을 절연하는 역할을 한다.
- <180> 이어서, 제2 층간 절연막(634) 및 제1 층간 절연막(610)을 제거하여 인접하는 활성 영역들에 형성된 한 쌍의 콘택 패드(622)들을 동시에 노출시키는 콘택 홀(650)을 형성한다.
- <181> 도 9g를 참조하면, 인접하는 콘택 패드(622)들 사이에 위치하는 제1 비트 라인(631)을 중심으로 하는 한 쌍의 제2 비트 라인(632) 상에 대응하는 부분의 상기 제2 층간 절연막(634) 상에 포토레지스트를 도포하고, 마스크를 사용하여 노광 및 현상하여 식각 마스크 패턴(540)을 형성한다. 이 후에, 상기 제2 층간 절연막(534) 및 상기 제1 층간 절연막(510)을 제거하여 콘택 패드(522)들을 노출시킨다. 콘택 홀(650)들을 형성한 후의 제2 비트 라인 마스크 층(628)의 일부(655)는 식각되어 독특한 형상을 나타낸다. 이어서, 애싱(ashing) 및 스트리핑(stripping) 공정으로 잔류하는 식각 마스크 패턴(640)을 제거한다.
- <182> 또한, 본 발명의 또 다른 실시예에 따르면 전술한 콘택 홀의 형성 방법을 이용한 반도체 장치의 제조 방법이 제공된다.

- <183> 도 10a 내지 도 10h는 본 발명의 또 다른 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.
- <184> 우선, 기판(100)에 형성된 활성 영역들에 스토리지 노드 콘택 영역(711)과 비트 라인 콘택 영역(712)을 형성하고, 각각의 콘택 영역들(711, 712)에 접촉하는 제1 콘택 패드(721) 및 제2 콘택 패드(722)를 형성한 후, 상기 제1 콘택 패드(721) 및 제2 콘택 패드(722)가 형성되어 있는 기판의 전면에 제1 층간 절연막(710)을 형성한다.
- <185> 도 10a를 참조하면, 소자 분리 공정으로 반도체 기판(100) 상에 소자 분리막을 형성하여 활성 영역 및 필드 영역을 정의한다. 다음에, 게이트 산화막, 기판(100) 상에 워드 라인으로 제공되는 게이트 전극, 게이트 마스크 패턴을 포함하는 게이트 구조물, 그리고 소오스/드레인 영역인 스토리지 노드 콘택 영역(711)과 비트 라인 콘택 영역(712)을 포함하는 MOS 트랜지스터들을 형성한다.
- <186> 이어서, 스토리지 노드 콘택 영역(711)에 접촉하는 제1 콘택 패드(721)와 비트 라인 콘택 영역(712)에 접촉하는 제2 콘택 패드(722)를 형성한다. 상기 콘택 패드들(721, 722)은 콘택 홀의 어스펙트비(aspect ratio)를 감소시켜 낫 오픈을 방지하고, 콘택 플러그가 접촉할 수 있는 면적을 증대시켜 미스-얼라인먼트에 따른 저항증가를 감소시키기 위하여 널리 사용되는 구조이다.
- <187> 제1 콘택 패드(721) 및 제2 콘택 패드(722)가 형성된 기판(100) 상에 제1 층간 절연막(710)을 형성한다. 상기 콘택 패드(721, 722)들을 형성한 후, 결과물의 전면에 BPSG, SOG, USG, HDP 산화물 또는 CVD 산화물과 같은 산화물 계열의 물질을 1000~3000Å 정도의 두께, 바람직하게는 약 2000Å의 두께로 증착하여 제1 층간 절연막(710)을 형성한 후, 후속 사진 공정의 마진을 확보하기 위하여 화학 기계적 연마 공정, 에치백 공정 또는 화학 기계적 연마와 에

치백을 조합한 공정 중의 어느 하나로 제1 층간 절연막(710)의 표면을 평탄화한다. 이 때, 제1 층간 절연막(510)이 비트 라인의 하부에서 약 1000~2000 Å의 두께로 남아있도록 평탄화를 진행한다. 제1 층간 절연막(710)은 제1 콘택 패드(721)와 비트 라인(730)을 서로 격리시킨다.

<188> 이어서, 제2 콘택 패드(722)와 접촉하는 제3 콘택 패드(725)를 형성한다.

<189> 도 10b를 참조하면, 제3 콘택 패드(725)는 제2 콘택 패드(722) 상의 제1 층간 절연막(710)을 관통하여 제2 콘택 패드(722)를 노출시키는 콘택 홀을 포함하는 제1 층간 절연막(710) 상에 도전성 물질을 증착하고, 평탄화 공정을 실시하여 제2 콘택 패드(722)와 접촉하는 제3 콘택 패드를 형성한다.

<190> 그 다음, 제1 층간 절연막(710) 상에 비트 라인(730)들을 형성한다.

<191> 도 10c를 참조하면, 비트 라인(730)은 제3 콘택 패드(725) 상부, 상기 제1 콘택 패드(721) 사이의 상기 제1 층간 절연막(710) 상부 그리고 제1 콘택 패드(721)와 제2 콘택 패드(722) 사이의 제1 층간 절연막(710) 상에 형성된다. 또한, 비트 라인(730)은 제1 층간 절연막(710) 상에 상기 활성 영역들에 대하여 사선 방향으로 형성한다. 도 3 및 도 7c를 참조하여 설명하면, 워드 라인(313)과 비트 라인(315, 730)이 수직 방향으로 형성되어 있고, 이들의 하부 기판상의 활성 영역(311)은 이들 워드 라인(313)이나 비트 라인(315, 730)과 나란하거나 수직하는 방향이 아닌 사선 방향으로 형성된다. 상기 비트 라인(730)은 비트 라인 도전막 패턴(726, 727) 및 상기 비트 라인 도전막 패턴(726, 727) 상의 비트 라인 마스크 층(728)을 포함한다. 바람직하게는, 비트 라인 도전막 패턴은 금속으로 구성된 제1 도전막 패턴(726) 및 금속 화합물로 이루어진 제2 도전막 패턴(727)층으로 이루어진다. 그리고 상기 비트 라인 마스크 층(528)은 산화물로 구성된 제1 층간 절연막(710) 및 제2 층간 절연막(734)에 대하여 식각 선택비를 갖는 물질을 포함한다.

- <192> 이어서, 비트 라인(730)의 측벽에 스페이서(733)를 형성한다. 상기 스페이서(733)는 제1 층간 절연막(710) 및 제2 층간 절연막(734)에 대하여 식각 선택비를 가지는 질화물 등을 포함하는 것이 바람직하다.
- <193> 계속하여, 상기 비트 라인(730)이 형성된 제1 층간 절연막(710) 상에 제2 층간 절연막(734)을 형성한다.
- <194> 도 10d를 참조하면, 제2 층간 절연막(734)은 BPSG, USG, HDP 산화물 또는 CVD 산화물로 이루어진 물질을 증착하여 형성하고, 바람직하게는 증착 후 화학 기계적 연마 방법, 에치백 공정 또는 이들을 조합한 방법으로 상기 제2 층간 절연막(734)을 평탄화한다. 제2 층간 절연막(734)은 제2 층간 절연막 상에 형성되는 캐패시터 등의 상부 구조물과 비트 라인(730)을 절연시킨다.
- <195> 이어서, 상기 제2 층간 절연막(734) 및 상기 제1 층간 절연막(710)을 제거하여 스토리지 노드 콘택 홀(750)을 형성한다.
- <196> 도 10e를 참조하면, 인접하는 제1 콘택 패드(721)들 사이에 위치하는 제1 비트 라인(731)을 중심으로 하는 한 쌍의 제2 비트 라인(732)에 대응하는 부분에 포토레지스트 막을 도포한다. 이어서, 포토레지스트 막을 노광 및 현상하여 식각 마스크 패턴(740)을 형성한다. 상기 비트 라인의 일부에만 사진 식각 마스크(740)가 형성되기 때문에, 스토리지 노드 콘택 홀(750)을 형성한 후의 제2 비트 라인 마스크 층(728)의 일부(455)는 식각되어 독특한 형상을 나타낸다.
- <197> 이어서, 식각 마스크 패턴(740)을 마스크로 하여 제2 층간 절연막(734) 및 제1 층간 절연막(710)을 차례로 제거하여 인접하는 한 쌍의 제1 콘택 패드(721)를 노출시키는 콘택 홀

(750)을 형성한다. 이어서, 애싱 및 스트리핑 공정으로 잔류하는 식각 마스크 패턴(740)을 제거한다.

<198> 다음에, 제1 콘택 패드(721)와 접촉하는 제4 콘택 패드(752)를 형성한다.

<199> 도 10f 및 도 10g를 참조하면, 상기 콘택 홀(750)이 형성된 제2 층간 절연막(734)의 전면에 예를 들면, 금속이나 도핑된 폴리실리콘 등의 도전성 물질을 증착하여, 제4 콘택 패드 도전층(751)을 형성한다. 이어서, 상기 제4 콘택 패드 도전층(751)을 비트 라인(730)이 노출될 때까지 식각하여 제4 콘택 패드(752)를 형성한다.

<200> 계속하여, 상기 제4 콘택 패드(752) 상에 캐패시터(760)를 형성한다.

<201> 도 10h를 참조하면, 상기 제4 콘택 패드(752) 상에 스토리지 전극(762), 유전층(764) 및 플레이트 전극(767)이 차례로 적층된 캐패시터를 통상의 캐패시터 형성 방법으로 형성하여 반도체 장치를 제조한다.

【발명의 효과】

<202> 본 발명에 의하면, 인접하는 활성 영역들의 콘택 영역들을 병합하여 오픈하기 위한 콘택 홀들을 동시에 형성하고, 상기 콘택 홀들 내에 스토리지 노드 콘택을 형성함으로써, 사진 식각 마스크 및 그에 따른 콘택의 미스-얼라인먼트를 간단한 방법으로 해결할 수 있다. 따라서, 비록 캐패시터 구조물이 높은 중횡비를 갖는 경우라 하더라도 충분한 미스-얼라인먼트 마진이 확보되어 디자인 룰 0.1 μ m 이하의 차세대 디바이스들의 제조 공정에서 대하여 경쟁력을 가질 수 있는 SAC 형성방법을 구현할 수 있으며, 결국 반도체 장치의 신뢰성 및 반도체 제조 공정의 수율을 향상시킬 수 있다.

<203> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

콘택 영역들이 형성된 활성 영역을 갖는 기판;

상기 기판 상에 형성된 절연막;

상기 절연막 상에 위치하며, 제1 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 마스크층을 구비하는 제1 배선;

상기 절연막 상에 상기 제1 배선의 일측에 위치하며, 제2 도전층 및 상기 제1 배선에 대향하는 상부 모서리에 제2 식각 침식부를 갖는 제2 마스크층을 구비하는 제2 배선;

상기 절연막 상에 상기 제1 배선의 타측에 위치하며, 제3 도전층 및 제3 마스크층을 구비하는 제3 배선;

상기 제1 배선, 제2 배선 및 제3 배선의 측벽에 각기 형성된 제1 스페이서, 제2 스페이서 및 제3 스페이서; 및

상기 제1 스페이서와 상기 제2 스페이서 사이 및 상기 제1 스페이서와 상기 제3 스페이서 사이의 상기 절연막을 각기 관통하여 상기 콘택 영역들에 접촉되는 제1 도전체 및 제2 도전체를 포함하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 활성 영역은 상기 제1 배선, 제2 배선 및 제3 배선에 대하여 사선 방향을 따라 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제1항에 있어서, 상기 제1 식각 침식부의 경사도는 상기 제2 식각 침식부의 경사도와 상이한 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 제1 식각 침식부의 형상은 상기 제2 식각 침식부의 형상과 상이한 것을 특징으로 하는 반도체 장치.

【청구항 5】

제1항에 있어서, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 식각 침식부는 오목한 형상을 가지는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제1항에 있어서, 상기 제3 마스크층은 상기 제1 배선에 대향하는 상부 모서리에 제3 식각 침식부를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제6항에 있어서, 상기 제2 식각 침식부와 상기 제3 식각 침식부는 상기 제1 배선을 중심으로 서로 대칭적인 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 8】

제7항에 있어서, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 및 상기 제3 식각 침식부는 각기 오목한 형상을 가지는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제1항에 있어서, 상기 절연막은 BPSG, USG, SOG, HDP 산화물 또는 CVD 산화물을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제1항에 있어서, 상기 제1 내지 제3 도전층은 각기 폴리실리콘층 및 상기 폴리실리콘 상에 형성된 금속 실리사이드 층을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제10항에 있어서, 상기 금속 실리사이드층은 텅스텐 실리사이드를 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 12】

제1항에 있어서, 상기 제1 내지 제3 도전층은 각기 제1 금속층 및 상기 제1 금속층 상에 형성된 제2 금속층을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 13】

제12항에 있어서, 상기 제1 금속층 및 상기 제2 금속층은 텅스텐, 티타늄, 티타늄 질화물, 알루미늄, 구리 또는 몰리브덴을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 14】

제1항에 있어서, 상기 제1 및 제2 도전체의 상면은 서로 대칭적인 반원 또는 반 타원형 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 15】

제1항에 있어서, 상기 제1 도전층 및 제2 도전층이 인접하는 서로 다른 활성 영역의 콘택 영역에 각기 접촉하는 것을 특징으로 하는 반도체 장치.

【청구항 16】

제1항에 있어서, 상기 제1 내지 제3 마스크층 및 상기 제1 내지 제3 스페이서는 상기 절연막에 대하여 식각 선택비를 가지는 것을 특징으로 하는 반도체 장치.

【청구항 17】

제16항에 있어서, 상기 제1 내지 제3 마스크층 및 상기 제1 내지 제3 스페이서는 질화물을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 18】

제1 콘택 영역 및 제2 콘택 영역을 포함하고 서로 인접하는 제1 및 제2 활성 영역들을 갖는 기판;

상기 기판 상에 형성된 절연막;

상기 절연막 상에 위치하며, 제1 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 마스크층을 구비하는 제1 배선;

상기 절연막 상에 상기 제1 배선의 일측에 위치하며, 제2 도전층 및 상기 제1 배선에 대향하는 상부 모서리에 제2 식각 침식부를 갖는 제2 마스크층을 구비하는 제2 배선;

상기 절연막 상에 상기 제1 배선의 타측에 위치하고, 제3 도전층 및 제3 마스크층을 구비하는 제3 배선;

상기 제1 배선의 양 측벽에 형성된 제1 및 제2 스페이서;

상기 제1 배선의 일 측벽에 형성된 상기 제1 스페이서에 대향하여 상기 제2 배선의 측벽에 형성되고, 상기 제1 스페이서와 함께 자기 정렬되어 상기 제1 활성 영역의 제1 콘택 영역을 노출시키는 제3 스페이서;

상기 제1 배선의 타 측벽에 형성된 상기 제2 스페이서에 대향하여 상기 제3 배선의 측벽에 형성되고, 상기 제2 스페이서와 함께 자기 정렬되어 상기 제2 활성 영역의 제2 콘택 영역을 노출시키는 제4 스페이서;

상기 제1 스페이서와 상기 제3 스페이서 사이의 상기 제1 활성 영역의 제1 콘택 영역에 접촉하는 제1 도전체; 및

상기 제2 스페이서와 상기 제4 스페이서 사이의 상기 제2 활성 영역의 제2 콘택 영역에 접촉하는 제2 도전체를 포함하는 반도체 장치.

【청구항 19】

제18항에 있어서, 상기 제1 및 제2 도전체의 상면의 평면 형상은 서로 대칭적인 한 쌍의 반원형 또는 반 타원형에 가까운 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 20】

제18항에 있어서, 상기 제1 내지 제3 배선들은 서로 평행하게 형성되고, 상기 제1 및 제2 활성 영역들은 각기 길이 방향과 폭 방향을 갖도록 형성되며, 상기 제1 내지 제3 배선들과 상기 제1 및 제2 활성 영역들의 길이 방향은 예각을 형성하는 것을 특징으로 하는 반도체 장치.

【청구항 21】

제20항에 있어서, 상기 제1 및 제2 콘택 영역은 상기 폭 방향에 대하여 평행한 상기 콘택 영역의 중심선을 기준으로 각기 서로 대칭적으로 상기 제1 및 제2 활성 영역들에 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 22】

제18항에 있어서, 상기 제3 마스크층은 상기 제1 배선에 대향하는 상부 모서리에 제3 식각 침식부를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 23】

제22항에 있어서, 상기 제2 식각 침식부와 상기 제3 식각 침식부는 상기 제1 배선을 중심으로 서로 대칭적인 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 24】

제23항에 있어서, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 및 상기 제3 식각 침식부는 각기 오목한 형상을 가지는 것을 특징으로 하는 반도체 장치.

【청구항 25】

콘택 영역을 각기 포함하는 활성 영역들을 갖는 기판;

상기 기판 상에 형성되는 절연막;

상기 절연막 상에 상기 활성 영역들에 대하여 사선 방향을 따라 형성되는 제1 배선;

상기 절연막 상에 상기 제1 배선의 양측에 상기 활성 영역에 대하여 사선 방향을 따라 형성되는 한 쌍의 제2 배선들;

상기 제1 배선 및 제2 배선들의 측벽에 각기 형성된 제1 스페이서 및 제2 스페이서; 및
 상기 제1 스페이서와 상기 제2 스페이서 사이의 상기 절연막을 관통하여, 인접하는 상기
 활성 영역들의 콘택 영역에 각기 접촉하는 한 쌍의 도전체들을 포함하는 반도체 장치.

【청구항 26】

제25항에 있어서, 상기 제1 배선 및 제2 배선은 각기 도전층 및 상기 도전층 상에 형성
 된 마스크층을 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 27】

제26항에 있어서, 상기 제1 배선의 마스크층은 양측 상부 모서리에 제1 식각 침식부를
 가지며, 상기 제2 배선들의 마스크층들 가운데 적어도 하나가 제1 식각 침식부에 대향하여 상
 부 모서리에 제2 식각 침식부를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 28】

제27항에 있어서, 상기 제1 식각 침식부의 경사도와 상기 제2 식각 침식부의 경사도가
 상이한 것을 특징으로 하는 반도체 장치.

【청구항 29】

제27항에 있어서, 상기 제1 식각 침식부의 형상이 상기 제2 식각 침식부의 형상과 상이
 한 것을 특징으로 하는 반도체 장치.

【청구항 30】

콘택 영역들을 포함하는 형성된 활성 영역들을 갖는 기판;

상기 콘택 영역들에 접촉하는 제1 스토리지 노드 콘택 패드들;

상기 제1 스토리지 노드 콘택 패드들 및 상기 기판 상에 형성된 층간 절연막;

상기 층간 절연막 상에 형성되며, 제1 비트 라인 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 비트 라인 마스크층을 구비하는 제1 비트 라인;

상기 층간 절연막 상에 상기 제1 비트 라인의 일측에 위치하고, 제2 비트 라인 도전층 및 상기 제1 식각 침식부에 대향하여 상부 모서리에 제2 식각 침식부를 갖는 제2 비트 라인 마스크층을 구비하는 제2 비트 라인;

상기 층간 절연막 상에 상기 제1 비트 라인의 타측에 위치하고, 제3 비트 라인 도전층 및 제3 비트 라인 마스크층을 포함하는 제3 비트 라인;

상기 제1 비트 라인, 제2 비트 라인 및 제3 비트 라인의 측벽에 각기 형성된 제1 스페이서, 제2 스페이서 및 제3 스페이서; 및

상기 제1 스페이서와 제2 스페이서 사이 및 상기 제1 스페이서와 제3 스페이서 사이의 상기 층간 절연막을 각기 관통하여 상기 제1 스토리지 노드 콘택 패드들에 각기 접촉하는 제2 스토리지 노드 콘택 패드들을 포함하는 반도체 장치.

【청구항 31】

제30항에 있어서, 상기 활성 영역은 상기 제1 내지 제3 비트 라인에 대하여 사선 방향을 따라 형성되는 것을 특징으로 하는 반도체 장치.

【청구항 32】

제30항에 있어서, 상기 제2 스토리지 노드 콘택 패드들은 상기 제1 스토리지 노드 콘택 패드들을 통하여 인접하는 서로 다른 상기 활성 영역들 콘택 영역들에 각기 전기적으로 연결되는 것을 특징으로 하는 반도체 장치.

【청구항 33】

제30항에 있어서, 상기 제2 스토리지 노드 콘택 패드들의 상면의 평면 형상은 서로 대칭적인 한 쌍의 반원형 또는 반타원형에 가까운 것을 특징으로 하는 반도체 장치.

【청구항 34】

제1항에 있어서, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 식각 침식부는 오목한 형상을 가지는 것을 특징으로 하는 반도체 장치.

【청구항 35】

제30항에 있어서, 상기 제3 비트 라인 마스크층은 상기 제1 배선에 대향하는 상부 모서리에 제3 식각 침식부를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 36】

제35항에 있어서, 상기 제2 식각 침식부와 상기 제3 식각 침식부는 상기 제1 배선을 중심으로 서로 대칭적인 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 37】

제36항에 있어서, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 및 상기 제3 식각 침식부는 각기 오목한 형상을 가지는 것을 특징으로 하는 반도체 장치.

【청구항 38】

제1 콘택 영역 및 제2 콘택 영역을 포함하고 서로 인접하는 제1 및 제2 활성 영역들을 갖는 기판;

상기 제1 및 제2 콘택 영역에 각기 접촉하는 제1 스토리지 노드 콘택 패드들;

상기 제1 스토리지 노드 콘택 패드들 및 상기 기판 상에 형성된 층간 절연막;

상기 층간 절연막 상에 위치하며, 제1 비트 라인 도전층 및 양측 상부 모서리에 제1 식각 침식부를 갖는 제1 비트 라인 마스크층을 구비하는 제1 비트 라인;

상기 층간 절연막 상에 상기 제1 배선의 일측에 위치하며, 제2 비트 라인 도전층 및 상기 제1 식각 침식부에 대향하는 상부 모서리에 제2 식각 침식부를 갖는 제2 비트 라인 마스크층을 구비하는 제2 비트 라인;

상기 층간 절연막 상에 상기 제1 비트 라인의 타측에 위치하고, 제3 비트 라인 도전층 및 제3 비트 라인 마스크층을 구비하는 제3 비트 라인;

상기 제1 비트 라인의 양 측벽에 형성된 제1 및 제2 스페이서;

상기 제1 비트 라인의 일 측벽에 형성된 상기 제1 스페이서에 대향하여 상기 제2 비트 라인의 측벽에 형성되고, 상기 제1 스페이서와 함께 자기 정렬되어 상기 제1 콘택 영역에 접촉되는 상기 제1 스토리지 노드 콘택 패드를 노출시키는 제3 스페이서;

상기 제1 비트 라인의 타 측벽에 형성된 상기 제2 스페이서에 대향하여 상기 제3 비트 라인의 측벽에 형성되고, 상기 제2 스페이서와 함께 자기 정렬되어 상기 제2 콘택 영역에 접촉되는 제1 스토리지 노드 콘택 패드를 노출시키는 제4 스페이서; 및

상기 제1 스페이서와 상기 제3 스페이서 사이 및 상기 제2 스페이서와 상기 제4 스페이서 사이의 제1 스토리지 노드 콘택 패드들에 각기 접촉하는 제2 스토리지 노드 콘택 패드들을 포함하는 반도체 장치.

【청구항 39】

제38항에 있어서, 상기 제2 스토리지 노드 콘택 패드들의 상면은 서로 대칭적인 한 쌍의 반원형 또는 반 타원형에 가까운 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 40】

제38항에 있어서, 상기 제1 내지 제3 비트 라인들은 서로 평행하게 형성되고, 상기 제1 및 제2 활성 영역들은 각기 길이 방향과 폭 방향을 갖도록 형성되며, 상기 제1 내지 제3 비트 라인들과 상기 제1 및 제2 활성 영역들의 길이 방향은 예각을 형성하는 것을 특징으로 하는 반도체 장치.

【청구항 41】

제40항에 있어서, 상기 제1 및 제2 콘택 영역은 상기 폭 방향에 대하여 평행한 상기 제1 및 제2 콘택 영역들의 중심선을 기준으로 각기 서로 대칭적으로 상기 제1 및 제2 활성 영역들에 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 42】

제38항에 있어서, 상기 제3 비트 라인 마스크층은 상기 제1 식각 침식부에 대향하는 상부 모서리에 제3 식각 침식부를 갖는 것을 특징으로 하는 반도체 장치.

【청구항 43】

제42항에 있어서, 상기 제2 식각 침식부와 상기 제3 식각 침식부는 상기 제1 식각 침식부를 중심으로 서로 대칭적인 형상을 갖는 것을 특징으로 하는 반도체 장치.

【청구항 44】

제42항에 있어서, 상기 제1 식각 침식부는 볼록한 형상을 가지며, 상기 제2 및 상기 제3 식각 침식부는 각기 오목한 형상을 가지는 것을 특징으로 하는 반도체 장치.

【청구항 45】

콘택 영역을 포함하는 복 수개의 활성 영역들이 형성된 기판을 제공하는 단계;

상기 기판 상에 하부 구조물을 형성하는 단계;

상기 하부 구조물 상에 상기 활성 영역들에 대하여 사선 방향을 따라 배선 구조물들을 형성하는 단계; 및

상기 배선 구조물들을 자기 정렬 마스크로 이용하여 상기 하부 구조물을 식각하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 상기 콘택 영역들을 병합하여 노출시키는 단계를 포함하는 콘택 홀 형성 방법.

【청구항 46】

제45항에 있어서, 상기 하부 구조물은 절연막을 포함하는 것을 특징으로 하는 콘택 홀 형성 방법.

【청구항 47】

제45항에 있어서, 상기 배선 구조물들은 각기 도전층, 상기 도전층 상에 형성된 마스크층을 포함하는 배선, 그리고 상기 배선의 측벽에 형성된 스페이서를 포함하는 것을 특징으로 하는 콘택 홀 형성 방법.

【청구항 48】

제47항에 있어서, 상기 하부 구조물은 상기 마스크층 및 스페이서에 대하여 식각 선택비를 갖는 것을 특징으로 하는 콘택 홀 형성 방법.

【청구항 49】

제48항에 있어서, 상기 한 쌍의 콘택 영역들은 상기 마스크층 및 스페이서를 자기 정렬 마스크로 상기 하부 구조물을 식각하여 노출되는 것을 특징으로 하는 콘택 홀 형성 방법.

【청구항 50】

제48항에 있어서, 상기 한 쌍의 콘택 영역들을 노출시키는 단계는,

상기 배선 구조물들 상에 상기 콘택 영역들 및 상기 콘택 영역들 사이의 상기 배선 구조물을 노출시키는 식각 마스크 패턴을 형성하는 단계; 및

상기 식각 마스크 패턴, 마스크층 및 스페이서를 마스크로 하여 하부 구조물을 식각하는 단계를 더 포함하는 것을 특징으로 하는 콘택 홀 형성 방법.

【청구항 51】

제50항에 있어서, 상기 하부 구조물을 식각한 후에 상기 식각 마스크 패턴의 잔류물을 제거하는 단계를 더 포함하는 것을 특징으로 하는 콘택 홀 형성 방법.

【청구항 52】

기판에 형성된 활성 영역들에 콘택 영역들을 형성하는 단계;

상기 콘택 영역들이 형성된 기판 상에 층간 절연막을 형성하는 단계;

상기 콘택 영역들 사이의 상기 층간 절연막 상에 상기 활성 영역들에 대하여 사선 방향을 따라 배선들을 형성하는 단계;

상기 배선들의 측벽에 각기 스페이서를 형성하는 단계; 및

상기 스페이서들 사이의 상기 층간 절연막을 제거하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 상기 콘택 영역들을 병합하여 노출시키는 콘택 홀을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 53】

제52항에 있어서, 상기 층간 절연막을 형성한 후에 화학적 기계적 연마 공정, 에치백 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정에 의하여 상기 층간 절연막을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 54】

제52항에 있어서, 상기 배선들은 각기 도전층 및 상기 도전층 상에 형성된 마스크층을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 55】

제54항에 있어서, 상기 콘택 홀을 형성하는 단계는,

상기 배선들 가운데 인접하는 상기 콘택 영역들 사이에 위치하는 제1 배선을 중심으로 양측의 제2 배선 상에 식각 마스크 패턴을 형성하는 단계; 및

상기 식각 마스크 패턴, 상기 마스크층 및 상기 스페이서를 마스크로 하여 상기 층간 절연막을 제거하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 상기 콘택 영역들을 노출시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 56】

제52항에 있어서, 상기 스페이서를 형성한 후, 상기 배선 및 상기 스페이서가 형성된 층간 절연막 상에 추가적인 층간 절연막을 형성하는 단계를 더 포함하며, 상기 콘택 홀은 상기 층간 절연막 및 추가적인 층간 절연막을 제거하여 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 57】

제56항에 있어서, 상기 추가적인 층간 절연막을 형성한 후, 화학적 기계적 연마 공정, 에치백 공정 또는 화학 기계적 연마와 에치백을 조합한 공정에 의하여 상기 추가적인 층간 절연막을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 58】

제54항에 있어서, 상기 콘택 홀을 형성한 후, 상기 콘택 홀을 도전성 물질로 매립하여 상기 콘택 영역들에 각기 접촉하는 콘택 패드들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 59】

기판에 형성된 활성 영역들에 각기 콘택 영역들을 형성하는 단계;

상기 콘택 영역들에 각기 접촉하는 제1 콘택 패드들을 형성하는 단계;

상기 제1 콘택 패드들 및 상기 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 콘택 패드들 사이의 제1 층간 절연막 상에 상기 활성 영역들에 대하여 사선 방향을 따라 위치하며, 각기 비트 라인 도전층 및 상기 비트 라인 도전층 상에 형성된 비트 라인 마스크층을 포함하는 비트 라인들을 형성하는 단계;

상기 비트 라인들의 측벽에 각기 스페이서를 형성하는 단계;

상기 비트 라인들 및 상기 스페이서가 형성된 상기 제1 층간 절연막 상에 제2 층간 절연막을 형성하는 단계; 및

상기 제2 층간 절연막 및 제1 층간 절연막을 제거하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 상기 제1 콘택 패드들을 병합하여 노출시키는 콘택 홀들을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 60】

제59항에 있어서, 상기 콘택 홀들을 형성하는 단계는,

상기 비트 라인들 중 상기 인접하는 상기 제1 콘택 패드들 사이에 위치하는 제1 비트 라인을 중심으로 하는 한 쌍의 제2 비트 라인들 상부의 상기 제2 층간 절연막 상에 식각 마스크 패턴을 형성하는 단계; 및

상기 식각 마스크 패턴, 상기 비트 라인 마스크층 및 상기 스페이서를 마스크로 하여 상기 제2 층간 절연막 및 상기 제1 층간 절연막을 제거하여 상기 제1 콘택 패드들을 노출시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 61】

제59항에 있어서, 상기 콘택 홀들을 형성 한 후,

상기 콘택 홀들을 채우면서 상기 제2 층간 절연막 상에 도전막을 형성하는 단계; 및

상기 제2 층간 절연막 상의 상기 도전막을 제거하여 상기 제1 콘택 패드들에 각기 접촉하는 제2 콘택 패드들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 62】

기판에 형성된 활성 영역들에 스토리지 노드 콘택 영역들과 비트 라인 콘택 영역을 형성하는 단계;

상기 스토리지 노드 콘택 영역들에 각기 접촉하는 제1 콘택 패드들 및 상기 비트 라인 콘택 영역에 접촉하는 제2 콘택 패드를 형성하는 단계;

상기 제1 콘택 패드들 및 상기 제2 콘택 패드가 형성된 상기 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 제2 콘택 패드 상의 제1 층간 절연막을 관통하여 상기 제2 콘택 패드를 노출시키는 콘택 홀 내부에 상기 제2 콘택 패드와 접촉하는 제3 콘택 패드를 형성하는 단계;

상기 제3 콘택 패드 상, 상기 제1 콘택 패드들 사이의 상기 제1 층간 절연막 상 및 상기 제1 콘택 패드들과 상기 제2 콘택패드 사이의 상기 제1 층간 절연막 상을 통과하는 비트 라인을 형성하는 단계;

상기 비트 라인의 측벽에 스페이서를 형성하는 단계;

상기 비트 라인이 형성된 제1 층간 절연막 상에 제2 층간 절연막을 형성하는 단계;

상기 제2 층간 절연막 및 상기 제1 층간 절연막을 제거하여 인접하는 상기 활성 영역들에 형성된 한 쌍의 제1 콘택 패드들을 동시에 노출시키는 스토리지 전극 콘택 홀들을 형성하는 단계;

상기 스토리지 노드 콘택 홀의 내부들에 상기 제1 콘택 패드와 접촉하는 제4 콘택 패드를 형성하는 단계; 및

상기 제4 콘택 패드 상에 스토리지 전극, 유전층 및 플레이트 전극을 순차적으로 형성하는 단계를 포함하는 반도체 장치의 제조방법.

【청구항 63】

제62항에 있어서, 상기 제1 콘택 패드들 및 제2 콘택 패드를 형성하는 단계는,

상기 스토리지 노드 콘택 영역들 및 상기 비트 라인 콘택 영역이 형성된 상기 기판 상에 제3 층간 절연막을 형성하는 단계;

상기 제3 층간 절연막을 제거하여 상기 스토리지 노드 콘택 영역들 및 상기 비트 라인 콘택 영역을 각각 노출시키는 제1 콘택 패드 콘택 홀들 및 제2 콘택 패드 콘택 홀을 형성하는 단계;

상기 제1 콘택 패드 콘택 홀들 및 상기 제2 콘택 패드 콘택 홀이 형성된 제3 층간 절연막 상에 도전막을 형성하는 단계; 및

상기 도전막을 식각하여 상기 스토리지 노드 콘택 영역들에 각기 접촉하는 상기 제1 콘택 패드들 및 상기 비트 라인 콘택 영역에 접촉하는 상기 제2 콘택 패드로 분리하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 64】

제62항에 있어서, 상기 스토리지 노드 콘택 홀을 형성하는 단계는,

인접하는 상기 스토리지 노드 콘택 영역들 사이에 위치하는 상기 제1 비트 라인을 중심으로 하는 한 쌍의 제2 비트 라인 상에 대응하는 부분의 상기 제2 층간 절연막 상에 식각 마스크 패턴을 형성하는 단계; 및

상기 식각 마스크 패턴을 마스크로 하여 상기 제2 층간 절연막 및 상기 제1 층간 절연막을 제거하여 상기 제1 콘택 패드들을 노출시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 65】

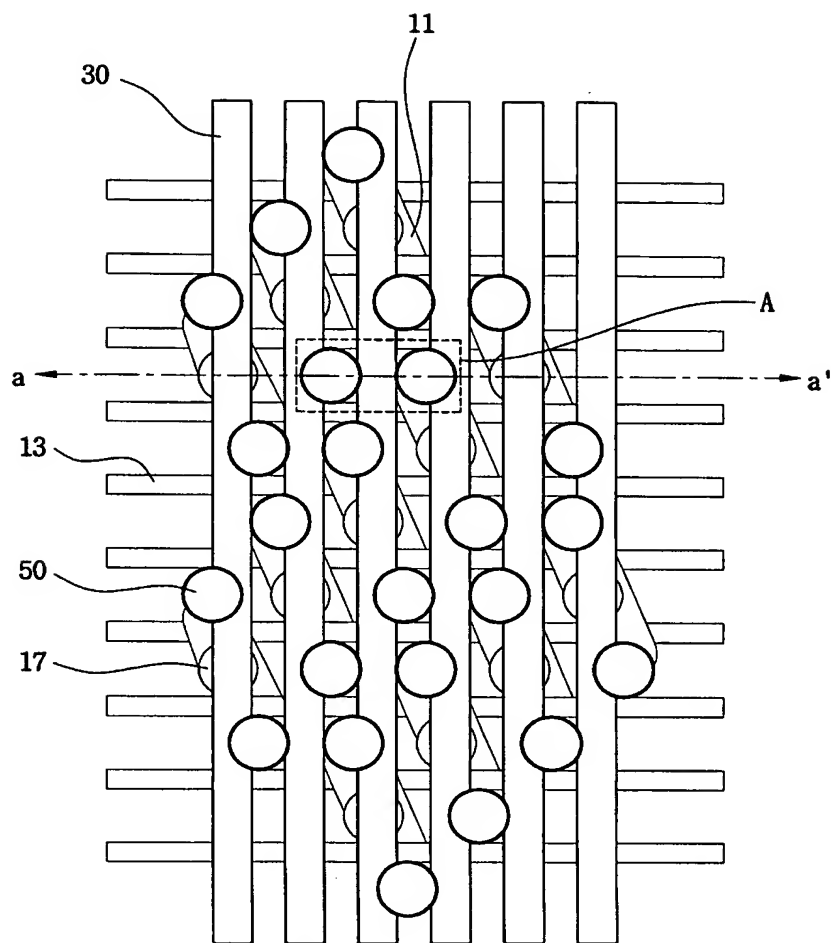
제62항에 있어서, 상기 제4 콘택 패드를 형성하는 단계는,

상기 스토리지 노드 콘택 홀들이 형성된 상기 제2 층간 절연막 상에 도전성 물질을 증착하여 제4 콘택 패드 도전막을 형성하는 단계; 및

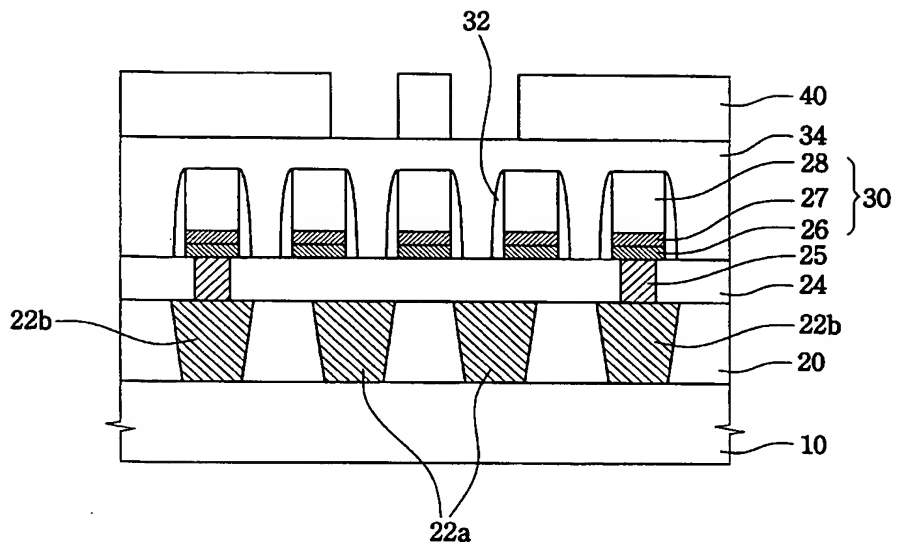
상기 제4 콘택 패드 도전막을 상기 비트 라인이 노출될 때까지 식각하여 제4 콘택 패드들로 분리하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【도면】

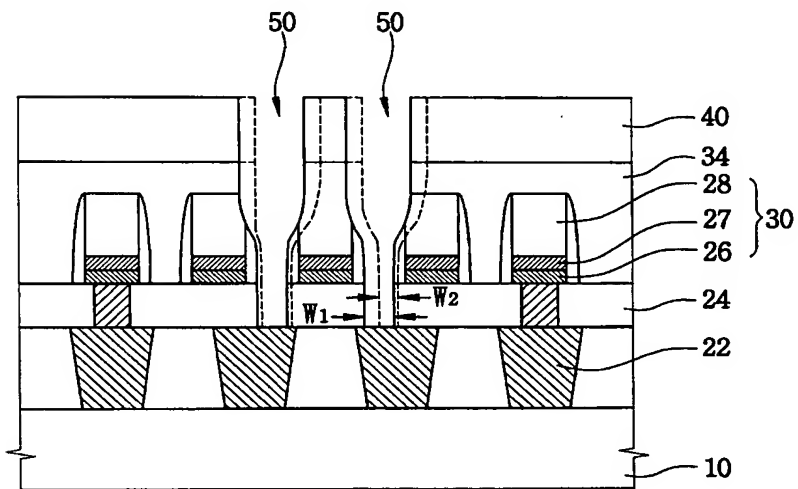
【도 1】



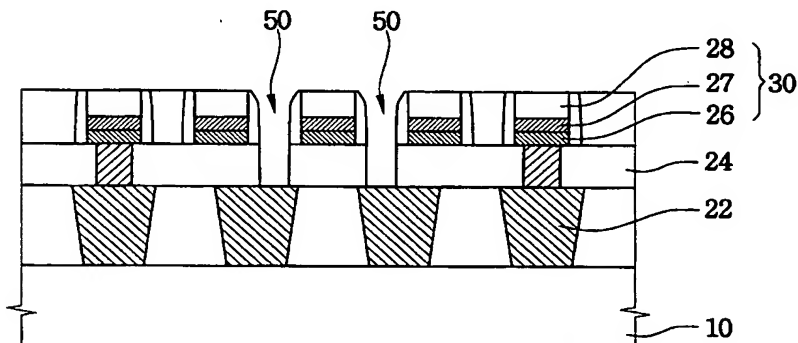
【도 2a】



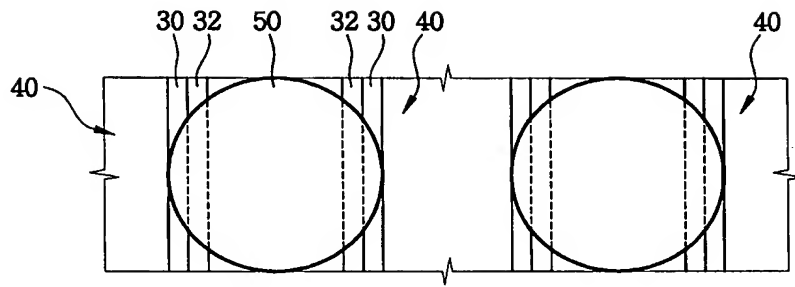
【도 2b】



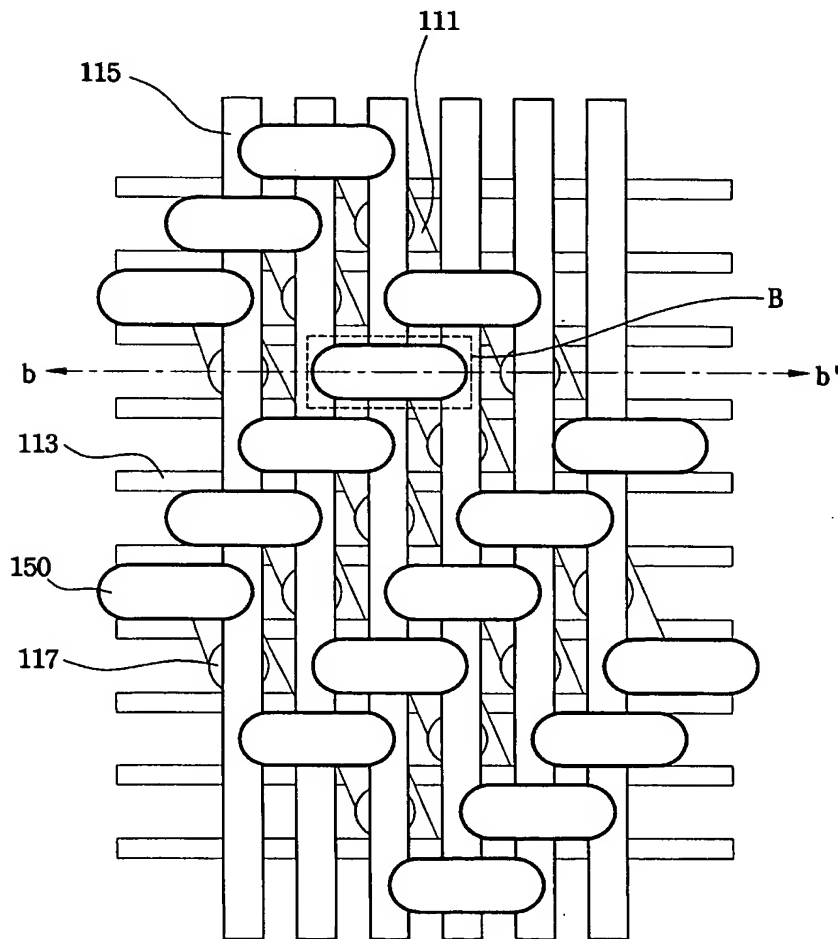
【도 3a】



【도 3b】

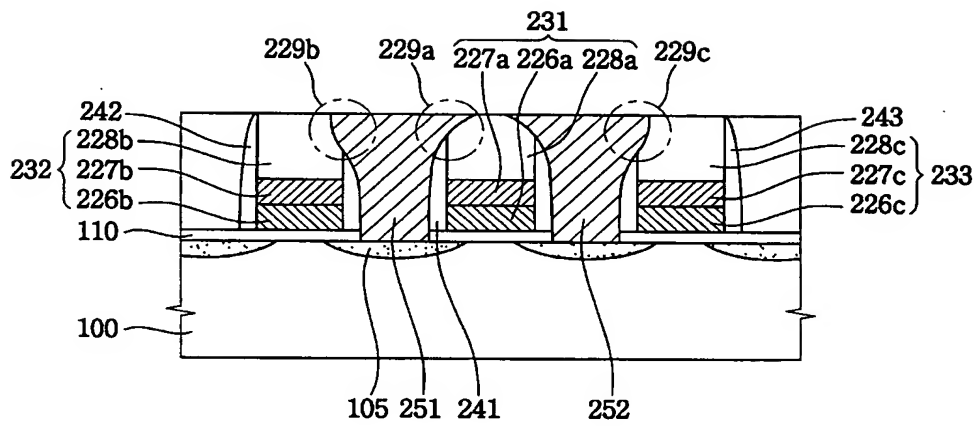


【도 4】

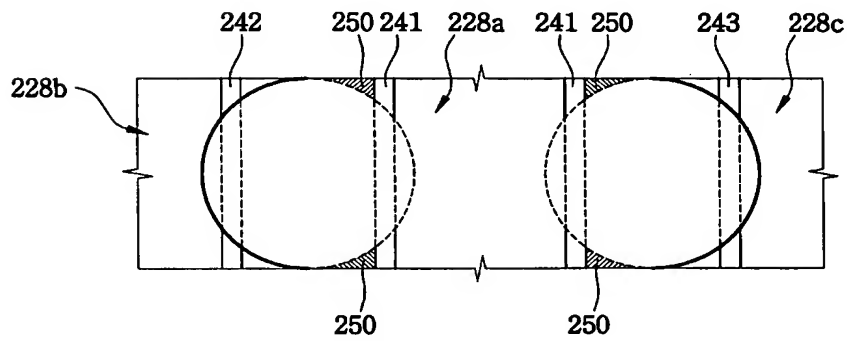




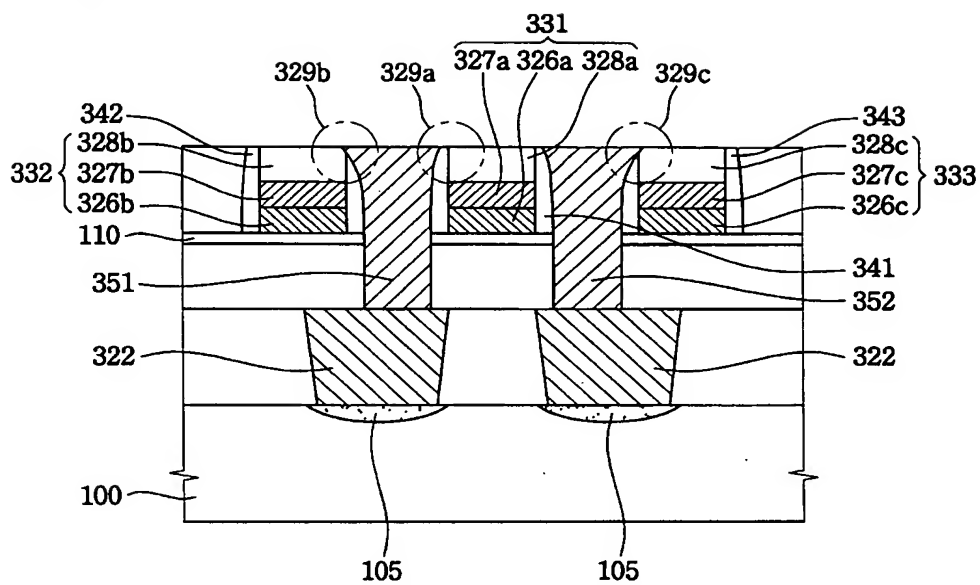
【도 5a】



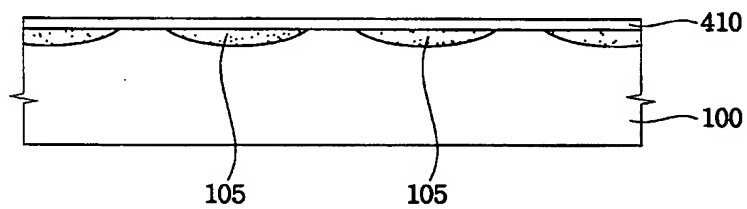
【도 5b】



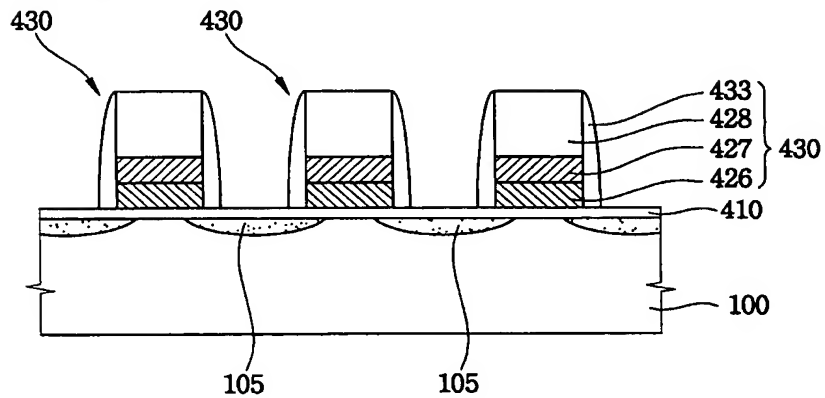
【도 6】



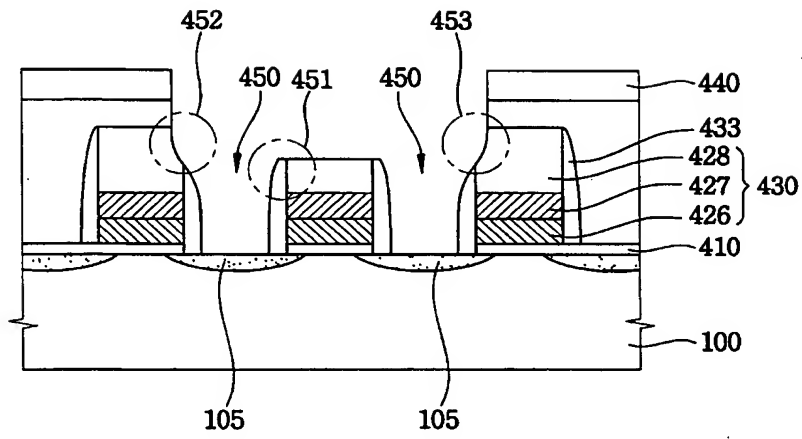
【도 7a】



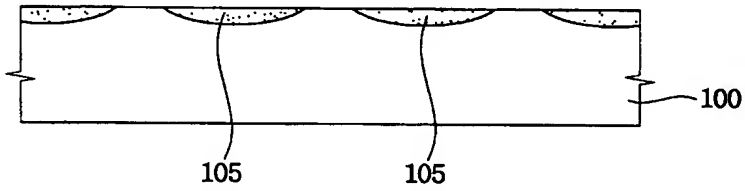
【도 7b】



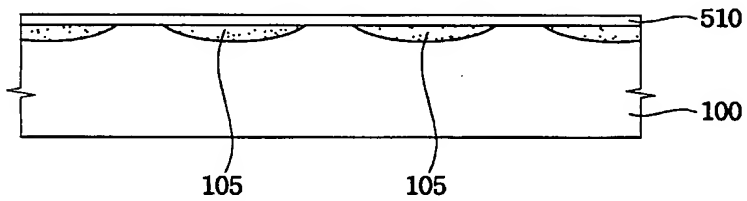
【도 7c】



【도 8a】

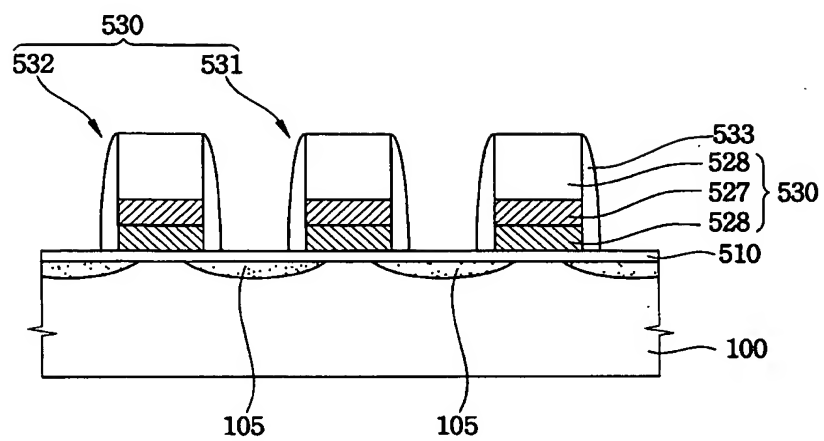


【도 8b】

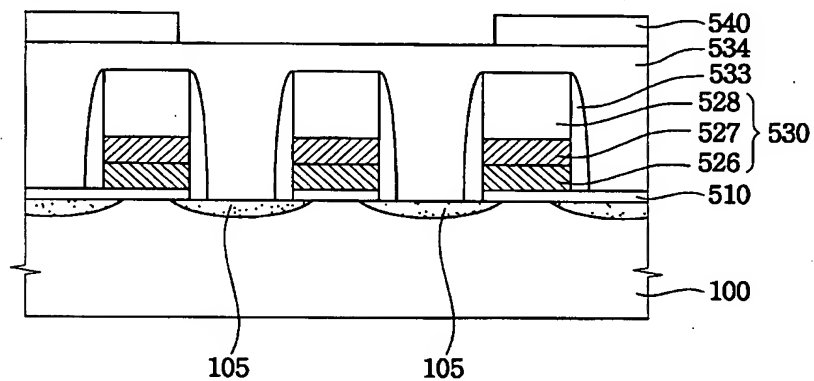




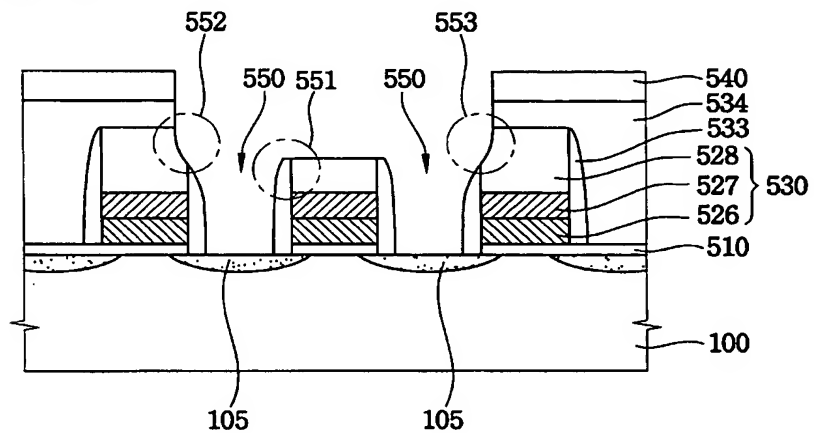
【도 8c】



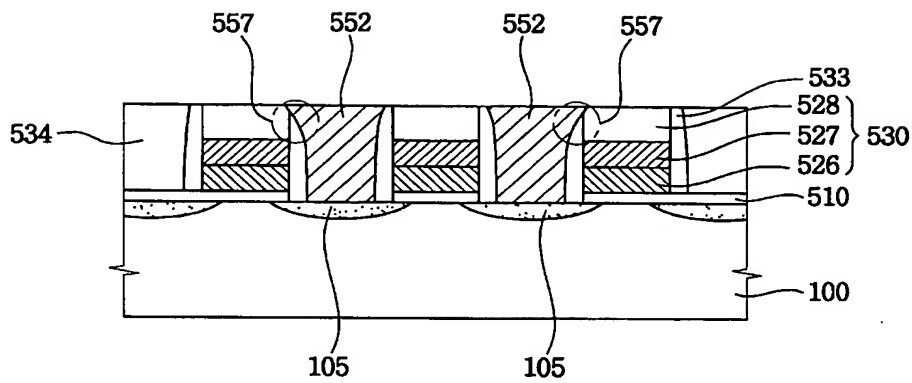
【도 8d】



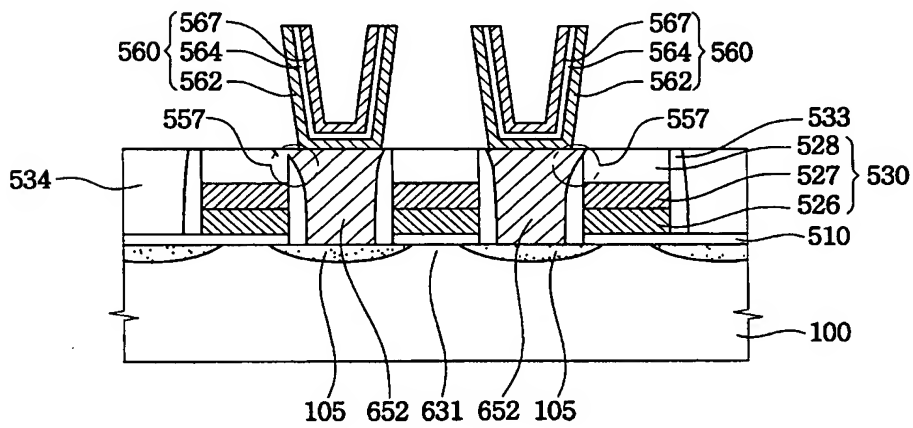
【도 8e】



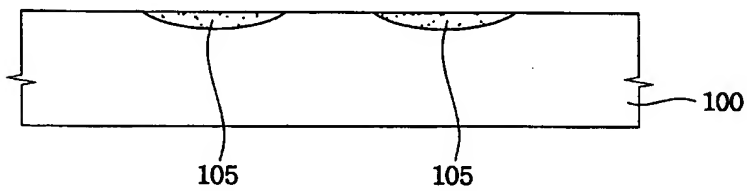
【도 8f】



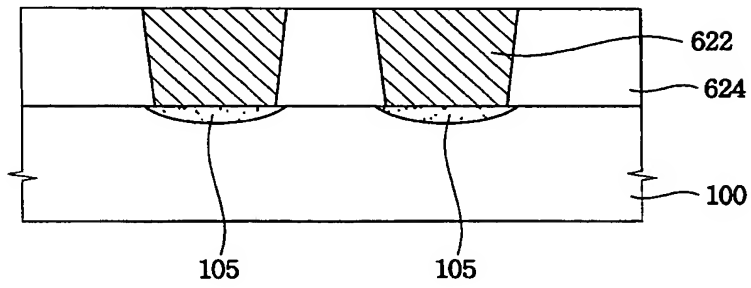
【도 8g】



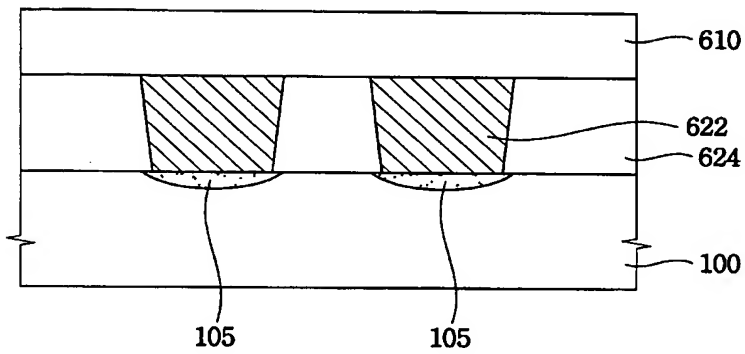
【도 9a】



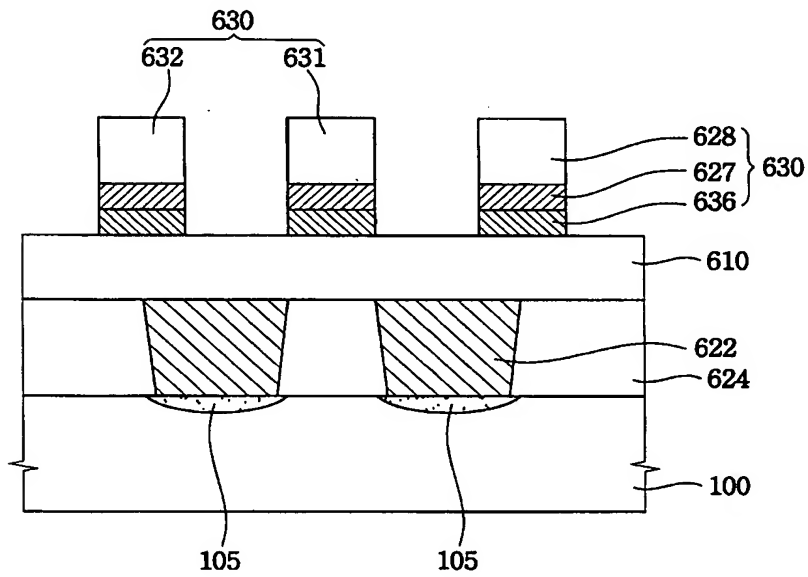
【도 9b】



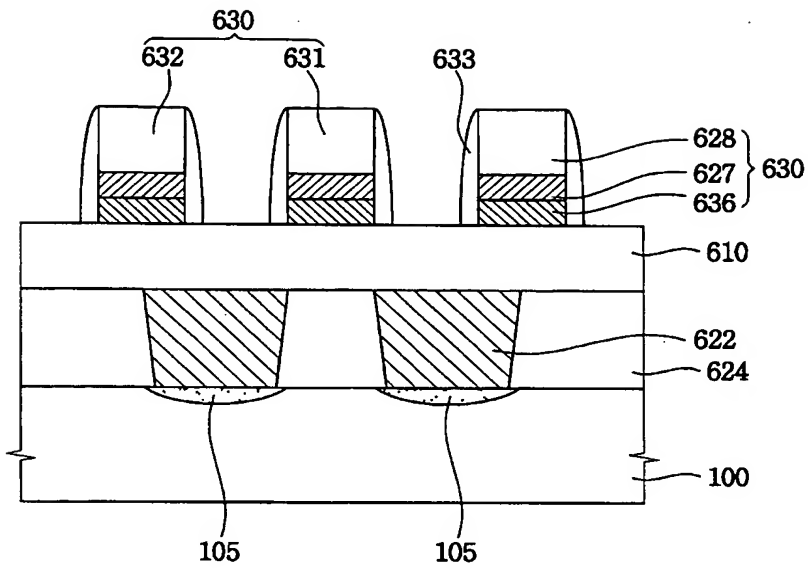
【도 9c】



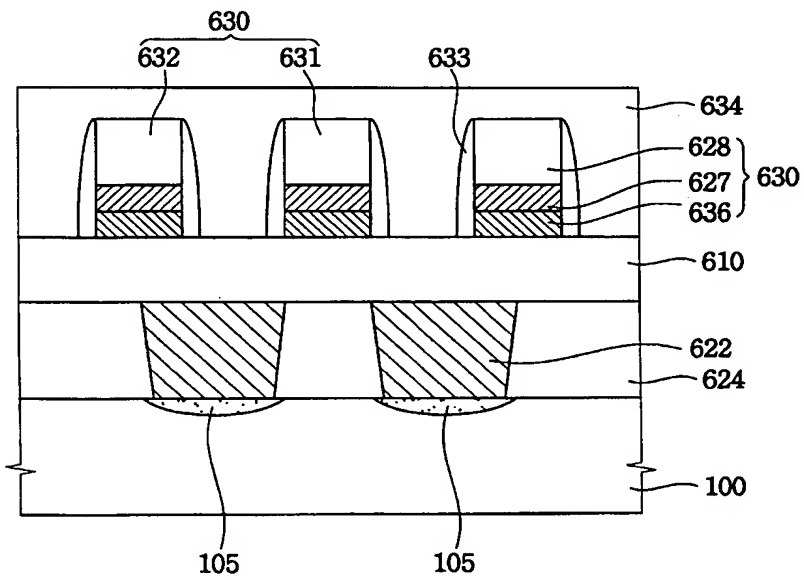
【도 9d】



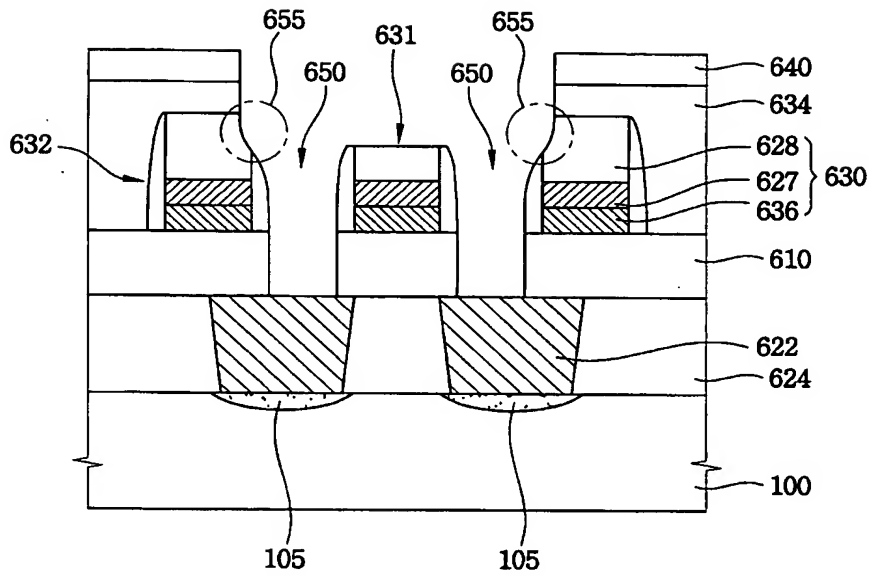
【도 9e】



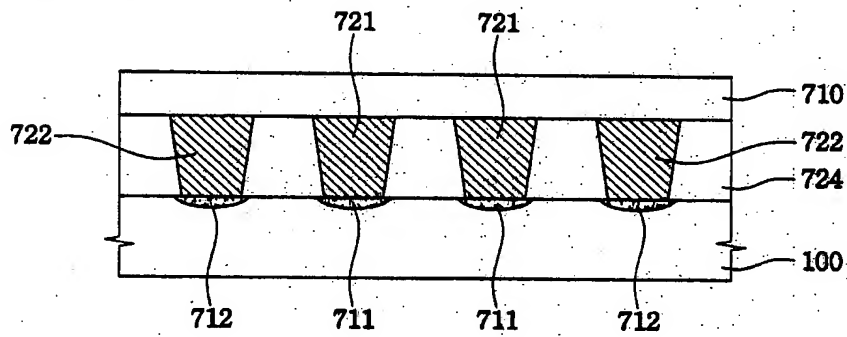
【도 9f】



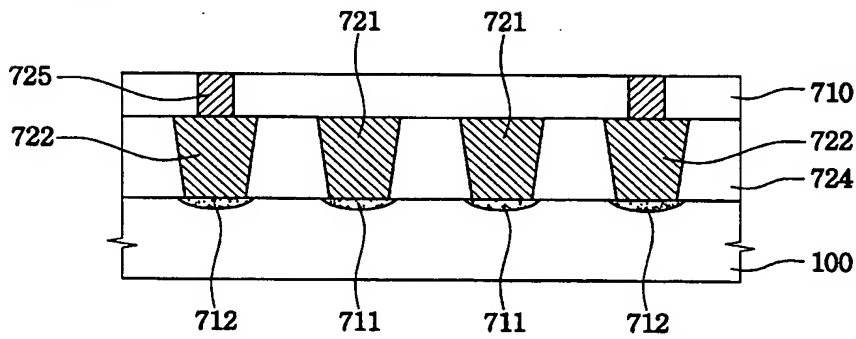
【도 9g】



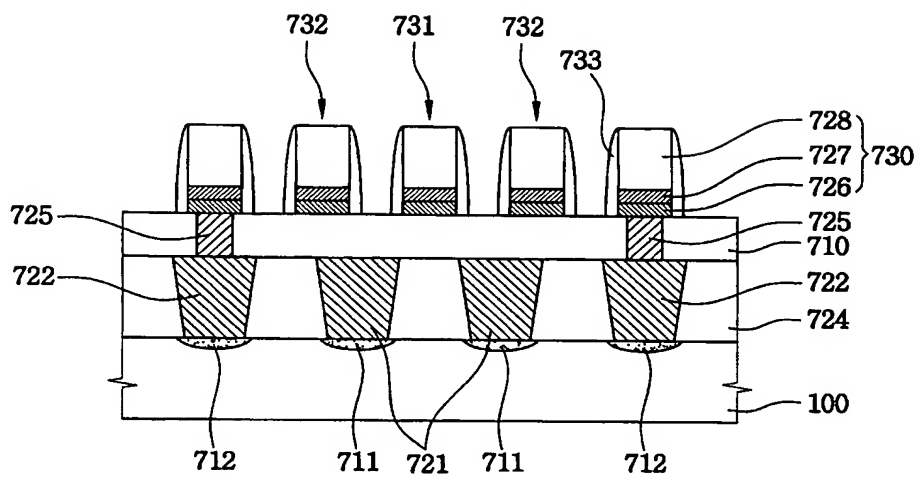
【도 10a】



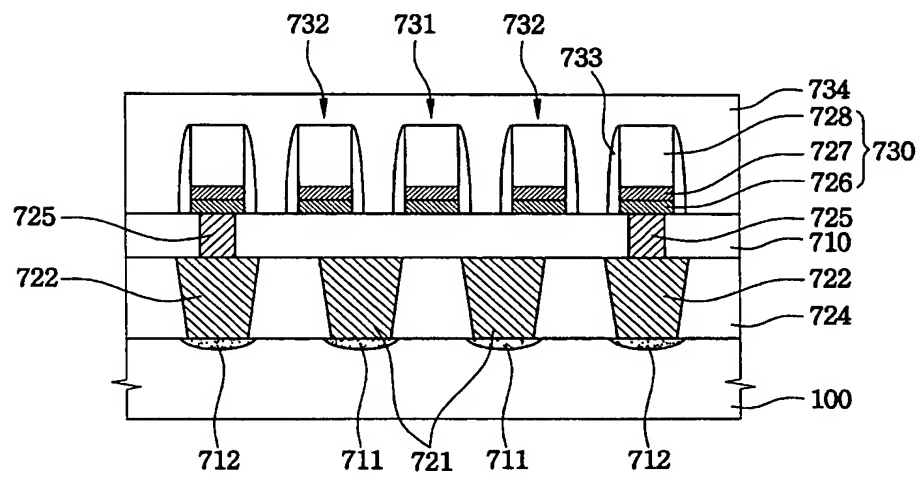
【도 10b】



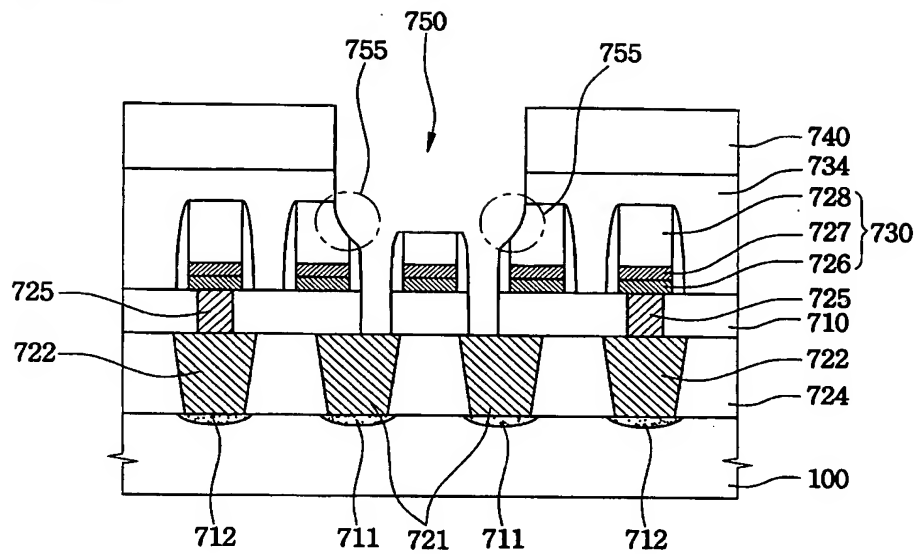
【도 10c】



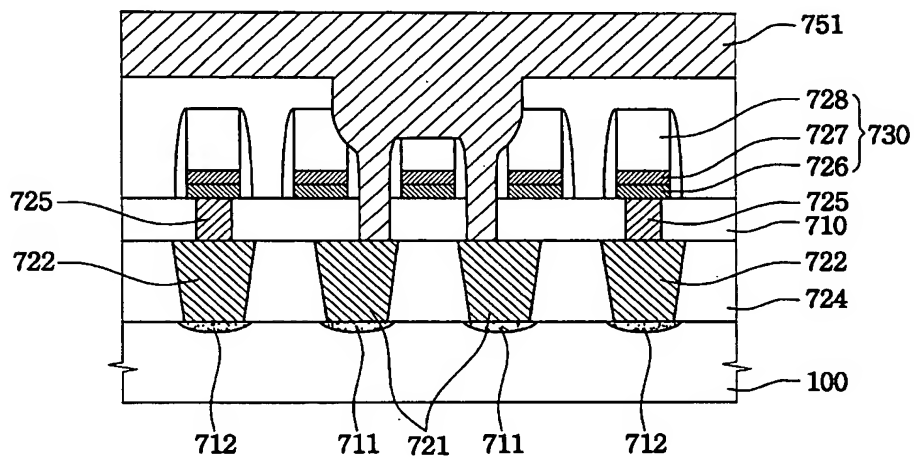
【도 10d】



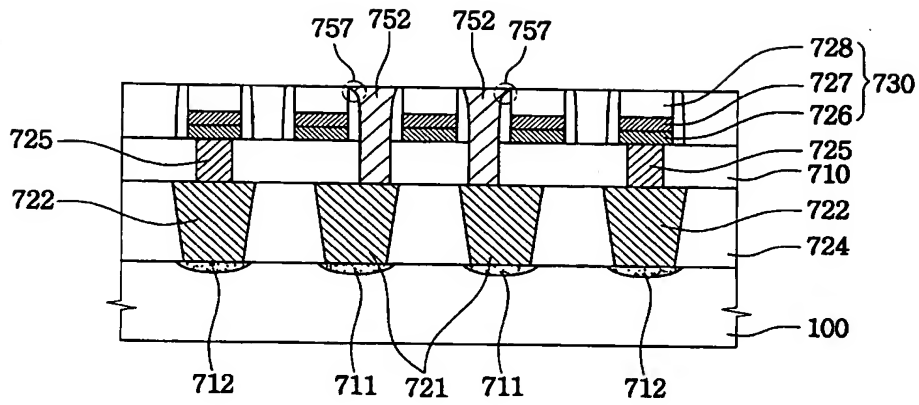
【도 10e】



【도 10f】



【도 10g】



【도 10h】

